Zynq UltraScale+
开发平台
AXU9EGB 开发板

ALINX

文档版本控制

文档版本	修改内容记录
REV1.0	创建文档
REV1.1	修改 eMMC FLASH 信息，增添 FMC 管脚序号

目 录

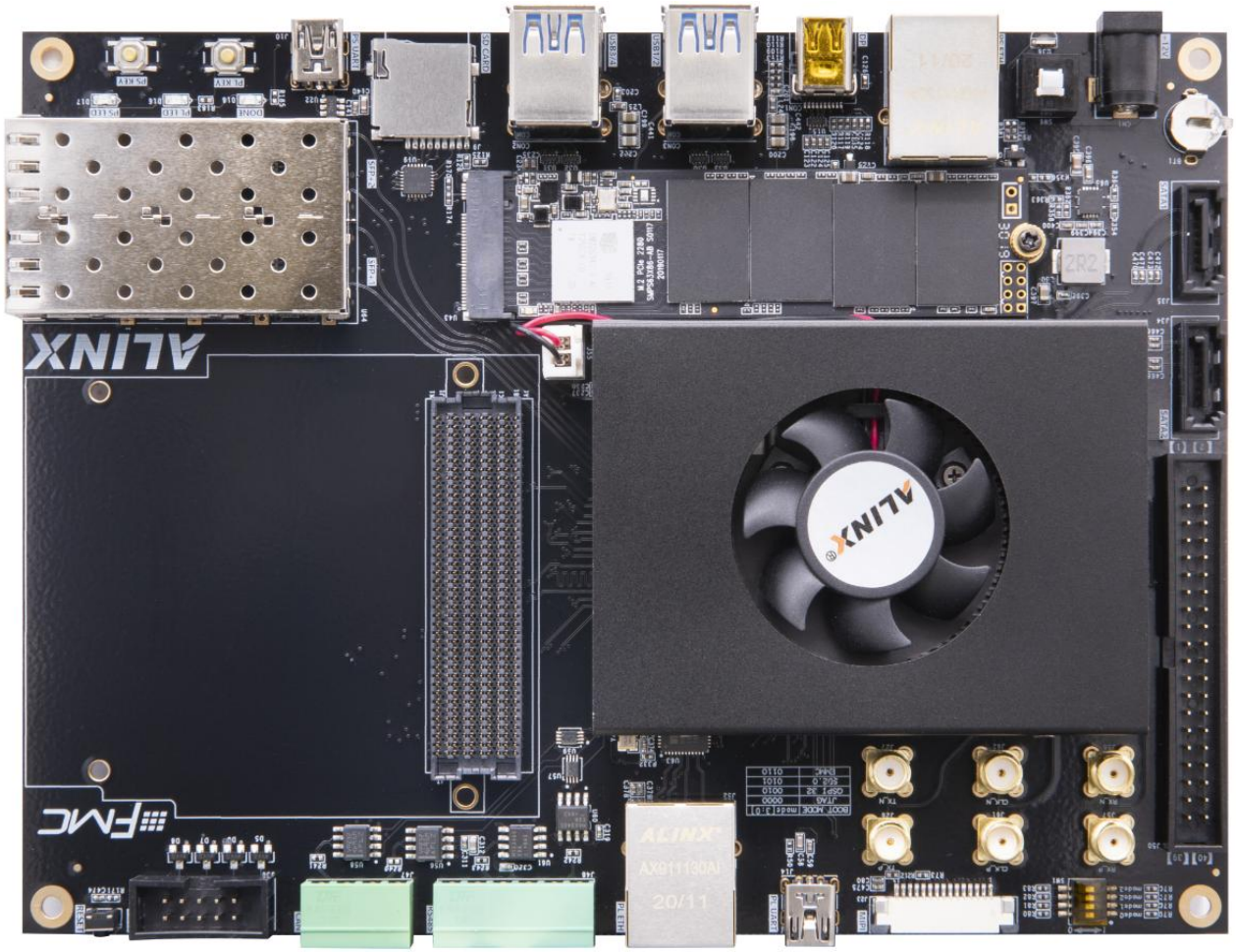
文档版本控制 2
一、 开发板简介 6
二、 ACU9EG 核心板 9
(一) 简介 9
(二) ZYNQ 芯片 10
(三) DDR4 DRAM 11
(四) QSPI Flash 18
(五) eMMC Flash 19
(六) 时钟配置 21
(七) 电源 23
(八) 结构图 24
(九) 连接器管脚定义 24
三、 扩展板 33
(一) 简介 33
(二) M.2 接口 34
(三) DP 显示接口 35
(四) USB3.0 接口 36
(五) 千兆以太网接口 37
(六) USB Uart 接口 39
(七) SD 卡槽 40
(八) 光纤接口 41
(九) CAN 通信接口 42
(十) 485 通信接口 43
(十一) MIPI 接口 44
(十二) FMC 连接器 45
(十三) 40 针扩展口 49
(十四) JTAG 调试口 50
(十五) RTC 实时时钟 51
(十六) EEPROM 和温度传感器 51

(十七) LED 灯 52
(十八) 按键 53
(十九) 拨码开关配置 54
(二十) 电源 55
(二十一) 风扇 55
(二十二) 结构尺寸图 57

芯驿电子科技（上海）有限公司 基于 XILINX Zynq UltraScale+ MPSoCs 开发平台的开发板（型号：AXU9EGB）2020 款正式发布了，为了让您对此开发平台可以快速了解，我们编写了此用户手册。

这款 MPSoCs 开发平台采用核心板加扩展板的模式，方便用户对核心板的二次开发利用。核心板使用 XILINX Zynq UltraScale+ EG 芯片 ZU9EG 的解决方案，它采用 Processing System(PS)+Programmable Logic(PL)技术将四核ARM Cortex-A53 和FPGA 可编程逻辑集成在一颗芯片上。另外核心板上 PS 端带有 4 片共 4GB 高速 DDR4 SDRAM 芯片，1 片 32GB 的 eMMC 存储芯片和 2 片 256Mb 的 QSPI FLASH 芯片；核心板上 PL 端带有 2 片 1GB 的 DDR4 SDRAM 芯片 。

在底板设计上我们为用户扩展了丰富的外围接口，比如 1 个 FMC HPC 接口、1 路 M.2 SSD 接口、1 路 mini_DP 接口、2 路 SFP+光纤接口、4 个 USB3.0 接口、2 路千兆以太网接口、2 路 UART 接口、1 路 SD 卡接口、2 路 CAN 总线接口、2 路 RS485 接口和 1 路 MIPI 摄像头接口等等。满足用户各种高速数据交换，数据存储，视频传输处理，深度学习，人工智能以及工业控制的要求，是一款"专业级 “的 ZYNQ 开发平台。为高速数据传输和交换，数据处理的前期验证和后期应用提供了可能。相信这样的一款产品非常适合从事 MPSoCs 开发的学生、工程师等群体。



一、 开发板简介

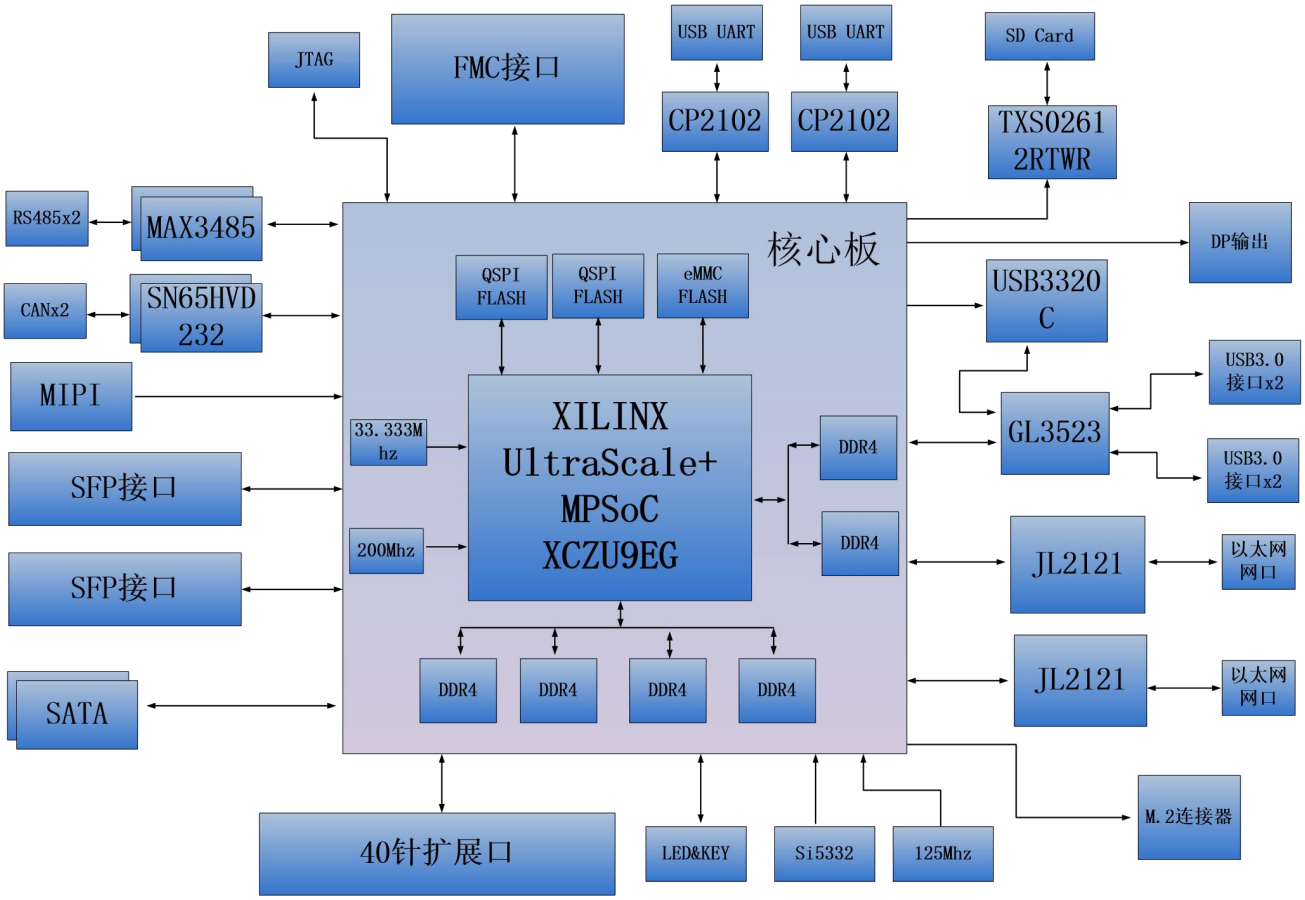
在这里，对这款 AXU9EGB MPSoCs 开发平台进行简单的功能介绍。

开发板的整个结构，继承了我们一贯的核心板+扩展板的模式来设计的。核心板和扩展板之间使用高速板间连接器连接。

核心板主要由 ZU9EG + 6 个 DDR4 + eMMC +2 个 QSPI FLASH 的最小系统构成。主芯片采用 Xilinx 公司的 Zynq UltraScale+ MPSoCs 系列的芯片，型号为 XCZU9EG--2FFVB1156I。ZU9EG 芯片可分成处理器系统部分 Processor System（PS）和可编程逻辑部分 Programmable Logic（PL）。 在 ZU9EG 芯片的 PS 端和 PL 端分别挂了 4 片和 2 片 DDR4，每片 DDR4 容量高达 1G 字节，使得 ARM 系统和 FPGA 系统能独立处理和存储的数据的功能。PS 端的 32GB eMMC FLASH 存储芯片和 2 片 256Mb 的 QSPI FLASH 用来静态存储 MPSoCs 的操作系统、文件系统及用户数据。

底板为核心板扩展了丰富的外围接口，其中包含 1 路 M.2 接口、1 路 DP 输出接口、4 路 USB3.0 接口、2 路千兆以太网接口、2 路光纤接口、2 路 SATA 接口、2 路 UART 接口、1 路 SD 卡接口、1 路 FMC 接口、2 路 CAN 总线接口，2 路 RS485 接口，1 路 MIPI 接口，1 路 40 针扩展口和一些按键 LED。

下图为整个开发系统的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能含有的接口和功能。

- ZU9EG 核心板

由 ZU9EG+4GB DDR4（PS）+2GB DDR4（PL）+32GB eMMC FLASH + 512Mb QSPI FLASH 组成，另外有 2 个晶振提供时钟，一个单端 33.3333MHz 晶振提供给 PS 系统，一个差分 200MHz 晶振提供给 PL 逻辑 DDR 参考时钟。

- M.2 接口

1 路 PCIEx1 标准的 M.2 接口，用于连接 M.2 的 SSD 固态硬盘，通信速度高达 6Gbps。

- DP 输出接口

1 路标准的 Display Port 输出显示接口，用于视频图像的显示。最高支持 4K@30Hz 或者 1080P@60Hz 输出。

- USB3.0 接口

4 路 USB3.0 HOST 接口，USB 接口类型为 TYPE A。用于连接外部的 USB 外设，比如连接鼠标，键盘，U 盘等外设。

- 千兆以太网接口

2 路 10/100M/1000M 以太网 RJ45 接口，PS 和 PL 各 1 路。用于和电脑或其它网络设备进行以太网数据交换。

- USB Uart 接口

2 路 Uart 转 USB 接口，PS 和 PL 各 1 路。用于和电脑通信，方便用户调试。串口芯片采用 Silicon Labs CP2102GM 的 USB-UART 芯片, USB 接口采用 MINI USB 接口。

- 2 路 SFP 光纤接口

GTH 收发器的 2 路高速收发器连接到 2 个光模块的发送和接收，实现 2 路高速的光纤通信接口。每路的光纤数据通信接收和发送的速度高达 12.5Gb/s。

- Micro SD 卡座

1 路 Micro SD 卡座，用于存储操作系统镜像和文件系统。

- FMC 扩展口

1 个标准的 FMC HPC 的扩展口，可以外接 XILINX 或者我们黑金的各种 FMC 模块（HDMI 输入输出模块，双目摄像头模块，高速 AD 模块等等）。

- CAN 通信接口

2 路 CAN 总线接口，选用 TI 公司的 SN65HVD232 芯片，接口采用 4Pin 的绿色接线端子。

- 485 通信接口

2 路 485 通信接口，选用 MAXIM 公司的 MAX3485 芯片。接口采用 6Pin 的绿色接线端

子。

- MIPI 接口

2 个 LANE 的 MIPI 摄像头输入接口，用于连接 MIPI 摄像头模块（AN5641）。

- 40 针扩展口

1 个 40 针 2.54mm 间距的扩展口，可以外接黑金的各种模块（双目摄像头，TFT LCD 屏，高速 AD 模块等等）。扩展口包含 5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。

- JTAG 调试口

1 个 10 针 2.54mm 标准的 JTAG 口，用于 FPGA 程序的下载和调试，用户可以通过 XILINX 下载器对 ZU9EG 系统进行调试和下载。

- 温湿度传感器

板载 1 片温湿度传感器芯片 LM75，用于检测板子周围环境的温度和湿度。

- EEPROM

1 片 IIC 接口的 EEPROM 24LC04;

- RTC 实时时钟

1 路内置的 RTC 实时时钟;

- LED 灯

5 个发光二极管 LED，核心板上 1 个，底板上 4 个。核心板上 1 个电源指示灯。底板上有 1 个电源指示灯，1 个 DONE 配置指示灯，2 个用户指示灯。

- 按键

3 个按键，1 个复位按键， 2 个用户按键。

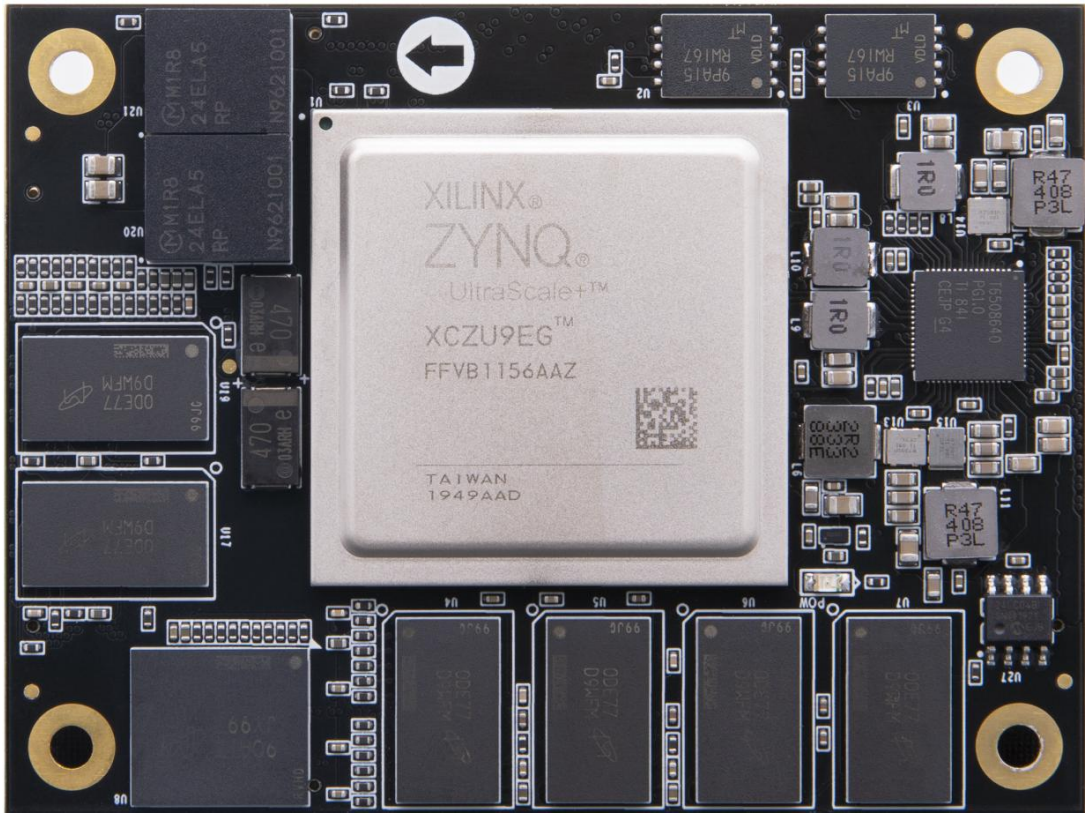
二、 ACU9EG 核心板

(一) 简介

ACU9EG(**核心板型号，下同**)核心板，ZYNQ 芯片是基于 XILINX 公司的 Zynq UltraScale+ MPSoCs EG 系列的 XCZU9EG-2FFVB1156I。

这款核心板使用了 6 片 Micron 的 DDR4 芯片 MT40A512M16GE,其中 PS 端挂载 4 片 DDR4，组成 64 位数据总线带宽和 4GB 的容量。PL 端挂载 2 片，为 32 位的数据总线宽度和 2GB 的容量。PS 端的 DDR4 SDRAM 的最高运行速度可达 1200MHz(数据速率 2400Mbps)，PL 端的 DDR4 SDRAM 的最高运行速度可达 1200MHz(数据速率 2400Mbps)。另外核心板上也集成了 2 片 256MBit 大小的 QSPI FLASH 和 32GB 大小的 eMMC FLASH 芯片，用于启动存储配置和系统文件。

为了和底板连接，这款核心板的 4 个板对板连接器扩展出了 PS 端的 USB2.0 接口，千兆以太网接口，SD 卡接口及其它剩余的 MIO 口；也扩展出了 4 对 PS MGT 高速收发器接口；以及 PL 端的 16 路 GTH 收发器和几乎所有 IO 口(HP I/O：96 个，HD I/O：66 个)，XCZU9EG 芯片到接口之间走线做了等长和差分处理，并且核心板尺寸仅为 80*60（mm），对于二次开发来说，非常适合。



ACU9EG 核心板正面图

(二) ZYNQ 芯片

开发板使用的是 Xilinx 公司的 Zynq UltraScale+ MPSoCs EG 系列的系列的芯片，型号为 XCZU9EG-2FFVB1156I。ZU9EG 芯片的 PS 系统集成了 4 个 ARM Cortex™-A53 处理器，速度高达 1.3Ghz，支持 2 级 Cache；另外 ZU9EG 还包含 2 个 Cortex-R5 处理器（速度高达 533Mhz）。

ZU9EG 芯片支持 32 位或者 64 位的 DDR4，LPDDR4，DDR3,DDR3L, LPDDR3 存储芯片，在 PS 端带有丰富的高速接口如 PCIE Gen2, USB3.0, SATA 3.1, DisplayPort；同时另外也支持 USB2.0，千兆以太网，SD/SDIO，I2C，CAN，UART，GPIO 等接口。PL 端内部含有丰富的可编程逻辑单元，DSP 和内部 RAM。ZU9EG 芯片的总体框图如图 2-2-1 所示

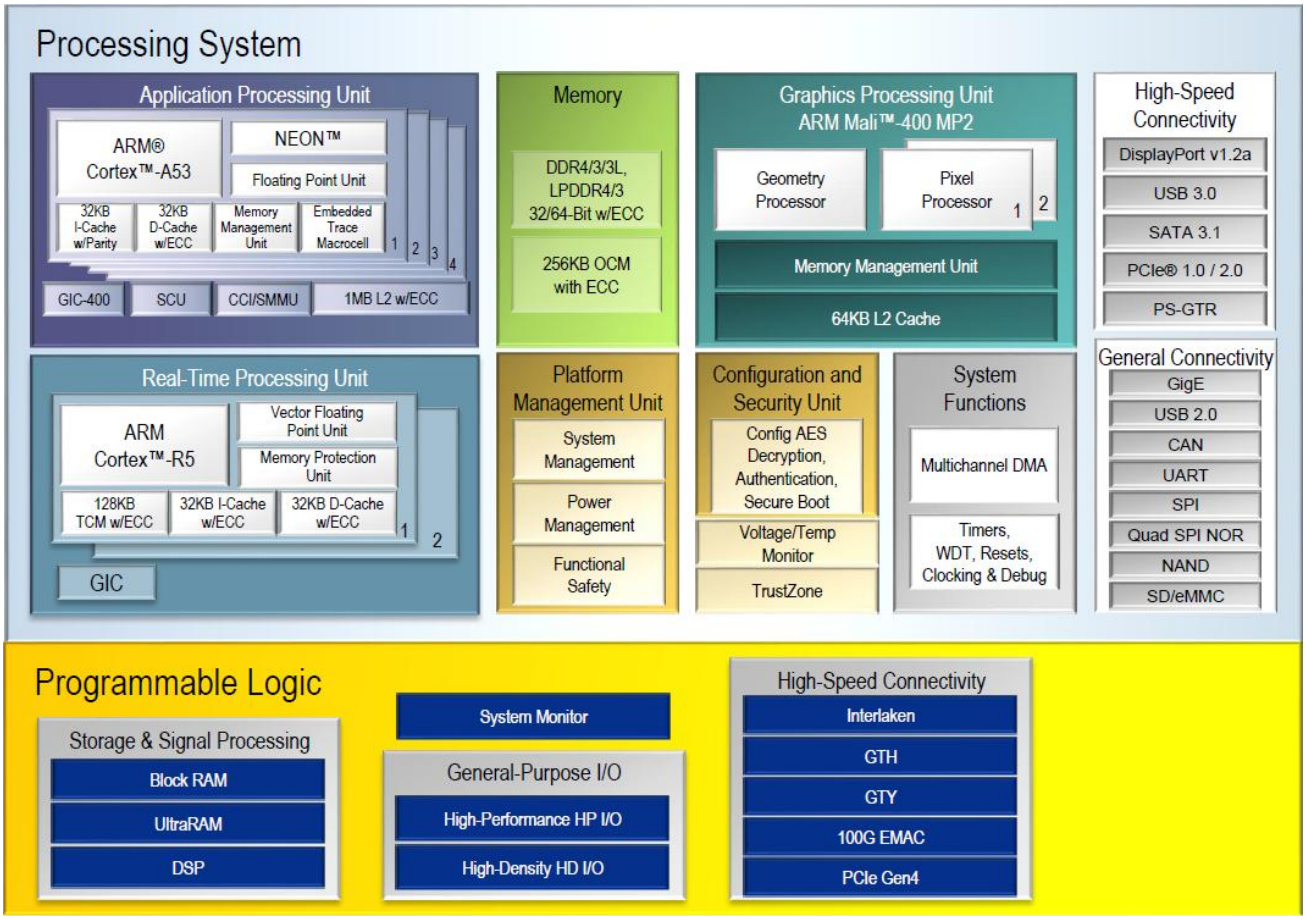


图2-2-1 ZYNQ ZU9EG芯片的总体框图

其中 PS 系统部分的主要参数如下：

- ARM 四核 Cortex™-A53 处理器，速度高达 1.3GHz，每个 CPU 32KB 1 级指令和数据缓存，1MB 2 级缓存 2 个 CPU 共享。
- ARM 双核 Cortex-R5 处理器，速度高达 533MHz，每个 CPU 32KB 1 级指令和数据缓存，及 128K 紧耦合内存。

- 外部存储接口，支持 32/64bit DDR4/3/3L、LPDDR4/3 接口。
- 静态存储接口，支持 NAND, 2xQuad-SPI FLASH。
- 高速连接接口，支持 PCIe Gen2 x4, 2xUSB3.0, Sata 3.1, DisplayPort, 4x Tri-mode Gigabit Ethernet。
- 普通连接接口：2xUSB2.0, 2x SD/SDIO, 2x UART, 2x CAN 2.0B, 2x I2C, 2x SPI, 4x 32b GPIO。
- 电源管理：支持 Full/Low/PL/Battery 四部分电源的划分。
- 加密算法：支持 RSA, AES 和 SHA。
- 系统监控：10 位 1Mbps 的 AD 采样，用于温度和电压的检测。

其中 PL 逻辑部分的主要参数如下：

- 逻辑单元(System Logic Cells)：600K；
- 触发器(CLB flip-flops) : 548K；
- 查找表(CLBLUTs) : 274K；
- Block RAM：32.1Mb；
- 时钟管理单元（CMTs）：4 个
- DSP Slices：2520 个
- GTH 16.3Gb/s 收发器： 24 个

XCZU9EG-2FFVB1156I芯片的速度等级为-2，工业级，封装为FFVB1156。

(三) DDR4 DRAM

ACU9EG核心板上配有6片Micron(美光）的1GB的DDR4芯片,型号为MT40A512M16LY-062E，其中PS端挂载4片DDR4，组成64位数据总线带宽和4GB的容量。PL端挂载2片，为32位的数据总线宽度和2GB的容量。PS端的DDR4 SDRAM的最高运行速度可达1200MHz(数据速率2400Mbps)，4片DDR4存储系统直接连接到了PS的BANK504的存储器接口上。PL端的DDR4 SDRAM的最高运行速度可达1200MHz(数据速率2400Mbps)，2片DDR4连接到了FPGA的BANK64, 65的接口上。DDR4 SDRAM的具体配置如下表2-3-1所示。

位号	芯片型号	容量	厂家
U4,U5,U6,U7	MT40A512M16LY-062E	512M x 16bit	Micron

表 2-3-1 DDR4 SDRAM 配置

DDR4 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制，走线等长控制，保证 DDR4 的高速稳定的工作。

PS 端的 DDR4 的硬件连接方式如图 2-3-1 所示:

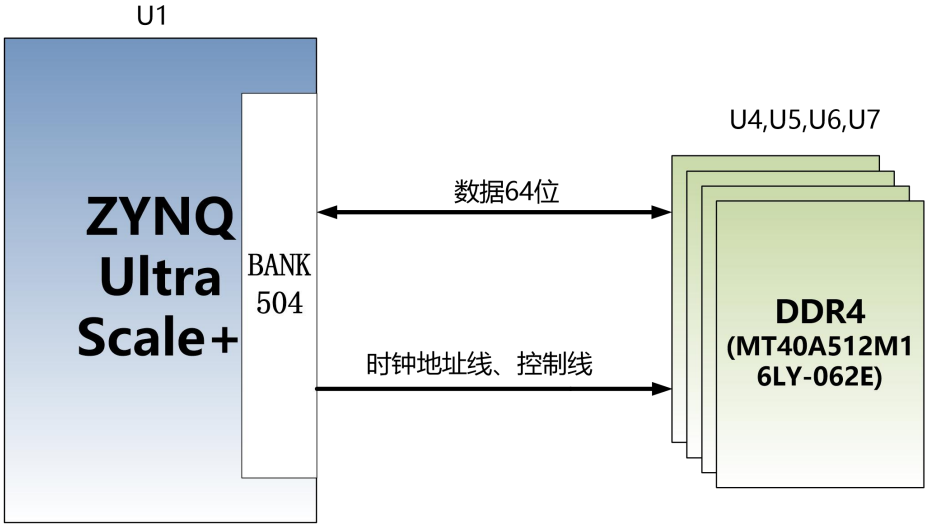


图2-3-1 PS端DDR4 DRAM原理图部分

PL 端的 DDR4 DRAM 的硬件连接方式如图 2-3-2 所示:

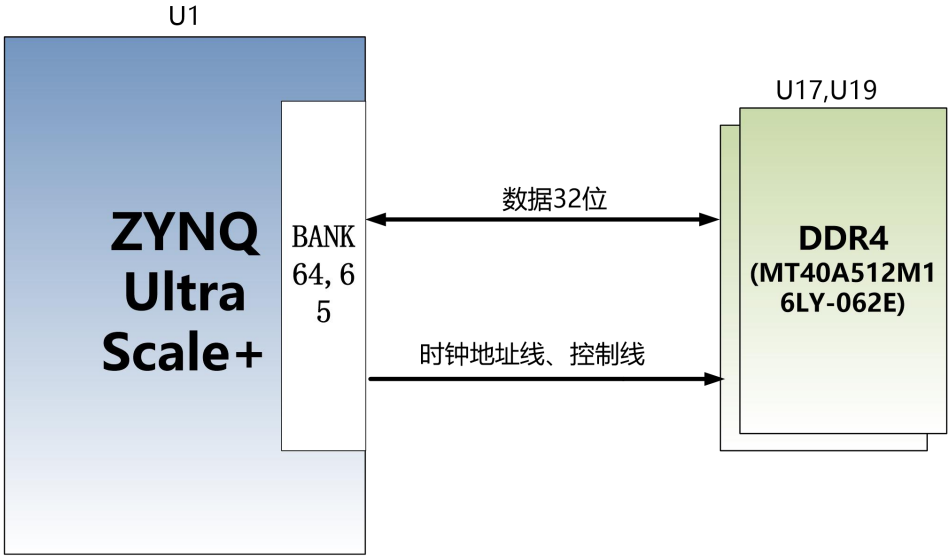


图2-3-2 PL端DDR4 DRAM原理图部分

PS 端 DDR4 SDRAM 引脚分配:

信号名称	引脚名	引脚号
PS_DDR4_DQS0_N	PS_DDR_DQS_N0_504	AN19
PS_DDR4_DQS0_P	PS_DDR_DQS_P0_504	AN18
PS_DDR4_DQS1_N	PS_DDR_DQS_N1_504	AN22
PS_DDR4_DQS1_P	PS_DDR_DQS_P1_504	AN21
PS_DDR4_DQS2_N	PS_DDR_DQS_N2_504	AJ19

PS_DDR4_DQS2_P	PS_DDR_DQS_P2_504	AH19
PS_DDR4_DQS3_N	PS_DDR_DQS_N3_504	AH23
PS_DDR4_DQS3_P	PS_DDR_DQS_P3_504	AH22
PS_DDR4_DQS4_N	PS_DDR_DQS_N4_504	AH29
PS_DDR4_DQS4_P	PS_DDR_DQS_P4_504	AH28
PS_DDR4_DQS5_N	PS_DDR_DQS_N5_504	AE29
PS_DDR4_DQS5_P	PS_DDR_DQS_P5_504	AE28
PS_DDR4_DQS6_N	PS_DDR_DQS_N6_504	AK32
PS_DDR4_DQS6_P	PS_DDR_DQS_P6_504	AJ32
PS_DDR4_DQS7_N	PS_DDR_DQS_N7_504	AE33
PS_DDR4_DQS7_P	PS_DDR_DQS_P7_504	AE32
PS_DDR4_DQ0	PS_DDR_DQ0_504	AP20
PS_DDR4_DQ1	PS_DDR_DQ1_504	AP18
PS_DDR4_DQ2	PS_DDR_DQ2_504	AP19
PS_DDR4_DQ3	PS_DDR_DQ3_504	AP17
PS_DDR4_DQ4	PS_DDR_DQ4_504	AM20
PS_DDR4_DQ5	PS_DDR_DQ5_504	AM19
PS_DDR4_DQ6	PS_DDR_DQ6_504	AM18
PS_DDR4_DQ7	PS_DDR_DQ7_504	AL18
PS_DDR4_DQ8	PS_DDR_DQ8_504	AP22
PS_DDR4_DQ9	PS_DDR_DQ9_504	AP21
PS_DDR4_DQ10	PS_DDR_DQ10_504	AP24
PS_DDR4_DQ11	PS_DDR_DQ11_504	AN23
PS_DDR4_DQ12	PS_DDR_DQ12_504	AL21
PS_DDR4_DQ13	PS_DDR_DQ13_504	AL22
PS_DDR4_DQ14	PS_DDR_DQ14_504	AM23
PS_DDR4_DQ15	PS_DDR_DQ15_504	AL23
PS_DDR4_DQ16	PS_DDR_DQ16_504	AL20
PS_DDR4_DQ17	PS_DDR_DQ17_504	AK20
PS_DDR4_DQ18	PS_DDR_DQ18_504	AJ20
PS_DDR4_DQ19	PS_DDR_DQ19_504	AK18
PS_DDR4_DQ20	PS_DDR_DQ20_504	AG20
PS_DDR4_DQ21	PS_DDR_DQ21_504	AH18
PS_DDR4_DQ22	PS_DDR_DQ22_504	AG19
PS_DDR4_DQ23	PS_DDR_DQ23_504	AG18

PS_DDR4_DQ24	PS_DDR_DQ24_504	AG21
PS_DDR4_DQ25	PS_DDR_DQ25_504	AH21
PS_DDR4_DQ26	PS_DDR_DQ26_504	AG24
PS_DDR4_DQ27	PS_DDR_DQ27_504	AG23
PS_DDR4_DQ28	PS_DDR_DQ28_504	AK22
PS_DDR4_DQ29	PS_DDR_DQ29_504	AJ21
PS_DDR4_DQ30	PS_DDR_DQ30_504	AJ22
PS_DDR4_DQ31	PS_DDR_DQ31_504	AK23
PS_DDR4_DQ32	PS_DDR_DQ32_504	AG31
PS_DDR4_DQ33	PS_DDR_DQ33_504	AG30
PS_DDR4_DQ34	PS_DDR_DQ34_504	AG29
PS_DDR4_DQ35	PS_DDR_DQ35_504	AG28
PS_DDR4_DQ36	PS_DDR_DQ36_504	AJ30
PS_DDR4_DQ37	PS_DDR_DQ37_504	AK29
PS_DDR4_DQ38	PS_DDR_DQ38_504	AK30
PS_DDR4_DQ39	PS_DDR_DQ39_504	AJ29
PS_DDR4_DQ40	PS_DDR_DQ40_504	AE27
PS_DDR4_DQ41	PS_DDR_DQ41_504	AF28
PS_DDR4_DQ42	PS_DDR_DQ42_504	AF30
PS_DDR4_DQ43	PS_DDR_DQ43_504	AF31
PS_DDR4_DQ44	PS_DDR_DQ44_504	AD28
PS_DDR4_DQ45	PS_DDR_DQ45_504	AD27
PS_DDR4_DQ46	PS_DDR_DQ46_504	AD29
PS_DDR4_DQ47	PS_DDR_DQ47_504	AD30
PS_DDR4_DQ48	PS_DDR_DQ48_504	AH33
PS_DDR4_DQ49	PS_DDR_DQ49_504	AJ34
PS_DDR4_DQ50	PS_DDR_DQ50_504	AH34
PS_DDR4_DQ51	PS_DDR_DQ51_504	AH32
PS_DDR4_DQ52	PS_DDR_DQ52_504	AK34
PS_DDR4_DQ53	PS_DDR_DQ53_504	AK33
PS_DDR4_DQ54	PS_DDR_DQ54_504	AL32
PS_DDR4_DQ55	PS_DDR_DQ55_504	AL31
PS_DDR4_DQ56	PS_DDR_DQ56_504	AG33
PS_DDR4_DQ57	PS_DDR_DQ57_504	AG34
PS_DDR4_DQ58	PS_DDR_DQ58_504	AF32

PS_DDR4_DQ59	PS_DDR_DQ59_504	AF33
PS_DDR4_DQ60	PS_DDR_DQ60_504	AD31
PS_DDR4_DQ61	PS_DDR_DQ61_504	AD32
PS_DDR4_DQ62	PS_DDR_DQ62_504	AD34
PS_DDR4_DQ63	PS_DDR_DQ63_504	AD33
PS_DDR4_DM0	PS_DDR_DM0_504	AG20
PS_DDR4_DM1	PS_DDR_DM0_504	AN17
PS_DDR4_DM2	PS_DDR_DM1_504	AM21
PS_DDR4_DM3	PS_DDR_DM2_504	AK19
PS_DDR4_DM4	PS_DDR_DM3_504	AH24
PS_DDR4_DM5	PS_DDR_DM4_504	AH31
PS_DDR4_DM6	PS_DDR_DM5_504	AE30
PS_DDR4_DM7	PS_DDR_DM6_504	AJ31
PS_DDR4_A0	PS_DDR_A0_504	AP29
PS_DDR4_A1	PS_DDR_A1_504	AP30
PS_DDR4_A2	PS_DDR_A2_504	AP26
PS_DDR4_A3	PS_DDR_A3_504	AP27
PS_DDR4_A4	PS_DDR_A4_504	AP25
PS_DDR4_A5	PS_DDR_A5_504	AN24
PS_DDR4_A6	PS_DDR_A6_504	AM29
PS_DDR4_A7	PS_DDR_A7_504	AM28
PS_DDR4_A8	PS_DDR_A8_504	AM26
PS_DDR4_A9	PS_DDR_A9_504	AM25
PS_DDR4_A10	PS_DDR_A10_504	AL28
PS_DDR4_A11	PS_DDR_A11_504	AK27
PS_DDR4_A12	PS_DDR_A12_504	AJ25
PS_DDR4_A13	PS_DDR_A13_504	AL25
PS_DDR4_WE_B	PS_DDR_A14_504	AK25
PS_DDR4_CAS_B	PS_DDR_A15_504	AK24
PS_DDR4_RAS_B	PS_DDR_A16_504	AM24
PS_DDR4_ACT_B	PS_DDR_ACT_N_504	AG25
PS_DDR4_ALERT_B	PS_DDR_ALERT_N_504	AF22
PS_DDR4_BA0	PS_DDR_BA0_504	AH26
PS_DDR4_BA1	PS_DDR_BA1_504	AG26
PS_DDR4_BG0	PS_DDR_BG0_504	AK28

PS_DDR4_CS0_B	PS_DDR_CS_N0_504	AN28
PS_DDR4_ODT0	PS_DDR_ODT0_504	AM30
PS_DDR4_PARITY	PS_DDR_PARITY_504	AF20
PS_DDR4_RESET_B	PS_DDR_RST_N_504	AF21
PS_DDR4_CLK0_P	PS_DDR_CK0_504	AN26
PS_DDR4_CLK0_N	PS_DDR_CK_N0_504	AN27
PS_DDR4_CKE0	PS_DDR_CKE0_504	AN29

PL 端 DDR4 SDRAM 引脚分配:

信号名称	引脚名	引脚号
PL_DDR4_DQS0_N	IO_L22N_T3U_N7_DBC_AD0N_65	AJ1
PL_DDR4_DQS0_P	IO_L22P_T3U_N6_DBC_AD0P_65	AH1
PL_DDR4_DQS1_N	IO_L16N_T2U_N7_QBC_AD3N_65	AJ5
PL_DDR4_DQS1_P	IO_L16P_T2U_N6_QBC_AD3P_65	AJ6
PL_DDR4_DQS2_N	IO_L10N_T1U_N7_QBC_AD4N_65	AF8
PL_DDR4_DQS2_P	IO_L10P_T1U_N6_QBC_AD4P_65	AE8
PL_DDR4_DQS3_N	IO_L4N_T0U_N7_DBC_AD7N_65	AG11
PL_DDR4_DQS3_P	IO_L4P_T0U_N6_DBC_AD7P_65	AF11
PL_DDR4_DQ0	IO_L24P_T3U_N10 _I2C_SDA_65	AE2
PL_DDR4_DQ1	IO_L20P_T3L_N2_AD1P_65	AG3
PL_DDR4_DQ2	IO_L23N_T3U_N9_65	AD1
PL_DDR4_DQ3	IO_L21P_T3L_N4_AD8P_65	AF2
PL_DDR4_DQ4	IO_L23P_T3U_N8_I2C_SCLK_65	AD2
PL_DDR4_DQ5	IO_L20N_T3L_N3_AD1N_65	AH3
PL_DDR4_DQ6	IO_L24N_T3U_N11_PERSTN0_65	AE1
PL_DDR4_DQ7	IO_L21N_T3L_N5_AD8N_65	AF1
PL_DDR4_DQ8	IO_L17P_T2U_N8_AD10P_65	AE3
PL_DDR4_DQ9	IO_L15P_T2L_N4_AD11P_65	AH4
PL_DDR4_DQ10	IO_L18P_T2U_N10_AD2P_65	AD4
PL_DDR4_DQ11	IO_L14N_T2L_N3_GC_65	AG4
PL_DDR4_DQ12	IO_L18N_T2U_N11_AD2N_65	AE4
PL_DDR4_DQ13	IO_L14P_T2L_N2_GC_65	AG5
PL_DDR4_DQ14	IO_L17N_T2U_N9_AD10N_65	AF3
PL_DDR4_DQ15	IO_L15N_T2L_N5_AD11N_65	AJ4

PL_DDR4_DQ16	IO_L9N_T1L_N5_AD12N_65	AD6
PL_DDR4_DQ17	IO_L8P_T1L_N2_AD5P_65	AG8
PL_DDR4_DQ18	IO_L11P_T1U_N8_GC_65	AF6
PL_DDR4_DQ19	IO_L12N_T1U_N11_GC_65	AF7
PL_DDR4_DQ20	IO_L9P_T1L_N4_AD12P_65	AD7
PL_DDR4_DQ21	IO_L8N_T1L_N3_AD5N_65	AH8
PL_DDR4_DQ22	IO_L12P_T1U_N10_GC_65	AE7
PL_DDR4_DQ23	IO_L11N_T1U_N9_GC_65	AG6
PL_DDR4_DQ24	IO_L3P_T0L_N4_AD15P_65	AE12
PL_DDR4_DQ25	IO_L5N_T0U_N9_AD14N_65	AG9
PL_DDR4_DQ26	IO_L2N_T0L_N3_65	AH11
PL_DDR4_DQ27	IO_L6N_T0U_N11_AD6N_65	AE9
PL_DDR4_DQ28	IO_L2P_T0L_N2_65	AH12
PL_DDR4_DQ29	IO_L5P_T0U_N8_AD14P_65	AG10
PL_DDR4_DQ30	IO_L3N_T0L_N5_AD15N_65	AF12
PL_DDR4_DQ31	IO_L6P_T0U_N10_AD6P_65	AD10
PL_DDR4_DM0	IO_L19P_T3L_N0_DBC_AD9P_65	AH2
PL_DDR4_DM1	IO_L13P_T2L_N0_GC_QBC_65	AE5
PL_DDR4_DM2	IO_L7P_T1L_N0_QBC_AD13P_65	AH7
PL_DDR4_DM3	IO_L1P_T0L_N0_DBC_65	AE10
PL_DDR4_A0	IO_L5P_T0U_N8_AD14P_64	AN9
PL_DDR4_A1	IO_L16P_T2U_N6_QBC_AD3P_64	AN6
PL_DDR4_A2	IO_L10P_T1U_N6_QBC_AD4P_64	AN7
PL_DDR4_A3	IO_L15P_T2L_N4_AD11P_64	AP5
PL_DDR4_A4	IO_L11P_T1U_N8_GC_64	AK8
PL_DDR4_A5	IO_L10N_T1U_N7_QBC_AD4N_64	AP7
PL_DDR4_A6	IO_L3N_T0L_N5_AD15N_64	AM10
PL_DDR4_A7	IO_L7P_T1L_N0_QBC_AD13P_64	AN8
PL_DDR4_A8	IO_L11N_T1U_N9_GC_64	AK7
PL_DDR4_A9	IO_L4N_T0U_N7_DBC_AD7N_64	AP10
PL_DDR4_A10	IO_L14P_T2L_N2_GC_64	AM6
PL_DDR4_A11	IO_L8N_T1L_N3_AD5N_64	AM8
PL_DDR4_A12	IO_L15N_T2L_N5_AD11N_64	AP4
PL_DDR4_A13	IO_L7N_T1L_N1_QBC_AD13N_64	AP8
PL_DDR4_BA0	IO_L6P_T0U_N10_AD6P_64	AJ10

PL_DDR4_BA1	IO_L5N_T0U_N9_AD14N_64	AP9
PL_DDR4_RAS_B	IO_L4P_T0U_N6_DBC_AD7P_64	AP11
PL_DDR4_CAS_B	IO_L16N_T2U_N7_QBC_AD3N_64	AP6
PL_DDR4_WE_B	IO_L9P_T1L_N4_AD12P_64	AJ9
PL_DDR4_ACT_B	IO_L8P_T1L_N2_AD5P_64	AM9
PL_DDR4_CS_B	IO_L17N_T2U_N9_AD10N_64	AN4
PL_DDR4_CKE	IO_L6N_T0U_N11_AD6N_64	AK10
PL_DDR4_OTD	IO_L9N_T1L_N5_AD12N_64	AK9
PL_DDR4_BG0	IO_L3P_T0L_N4_AD15P_64	AL10
PL_DDR4_CLK_N	IO_L13N_T2L_N1_GC_QBC_64	AL5
PL_DDR4_CLK_P	IO_L13P_T2L_N0_GC_QBC_64	AL6
PL_DDR4_RST	IO_L14N_T2L_N3_GC_64	AM5

(四) QSPI Flash

ACU9EG 核心板配有 2 片 256MBit 大小的 Quad-SPI FLASH 芯片组成 8 位带宽数据总线，FLASH 型号为 MT25QU256ABA1EW9-0SIT，它使用 1.8V CMOS 电压标准。由于 QSPI FLASH 的非易失特性，在使用中， 它可以作为系统的启动设备来存储系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、ARM 的应用程序代码以及其它的用户数据文件。QSPI FLASH 的具体型号和相关参数见表 2-4-1。

位号	芯片类型	容量	厂家
U2,U3	MT25QU256ABA1EW9-0SIT	256M bit	Micron

表2-4-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 ZYNQ 芯片的 PS 部分 BANK500 的 GPIO 口上，在系统设计中需要配置这些 PS 端的 GPIO 口功能为 QSPI FLASH 接口。为图 4-1 为 QSPI Flash 在原理图中的部分。

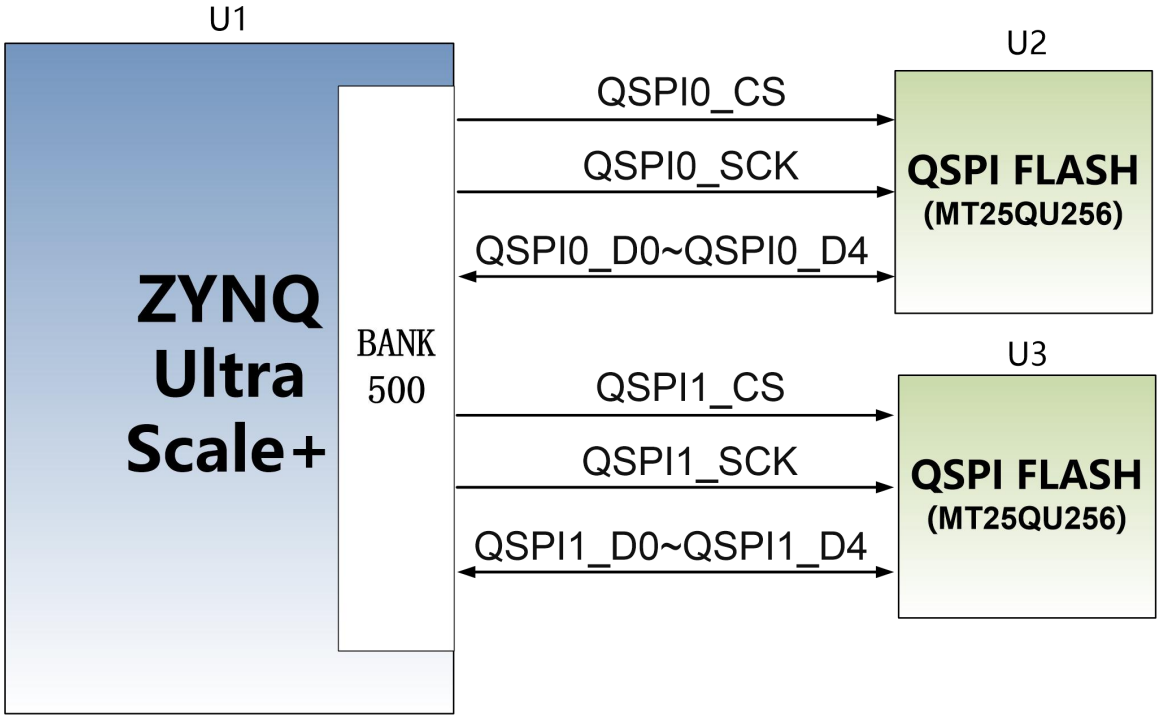


图 2-4-1 QSPI Flash 连接示意图

配置芯片引脚分配：

信号名称	引脚名	引脚号
MIO5_QSPI0_SS_B	PS_MIO5_500	AM15
MIO0_QSPI0_SCLK	PS_MIO0_500	AF16
MIO1_QSPI0_IO1	PS_MIO1_500	AJ16
MIO1_QSPI0_IO2	PS_MIO2_500	AD16
MIO1_QSPI0_IO3	PS_MIO3_500	AG16
MIO1_QSPI0_IO0	PS_MIO4_500	AH16
MIO7_QSPI1_SS_B	PS_MIO7_500	AD17
MIO12_QSPI1_SCLK	PS_MIO12_500	AJ17
MIO8_QSPI1_IO0	PS_MIO8_500	AE17
MIO8_QSPI1_IO1	PS_MIO9_500	AP15
MIO8_QSPI1_IO2	PS_MIO10_500	AH17
MIO8_QSPI1_IO3	PS_MIO11_500	AF17

(五) eMMC Flash

ACU9EG 核心板配有一片大容量的 32GB 大小的 eMMC FLASH 芯片，型号为 MTFC32GAKAJCN-4M，它支持 JEDEC e-MMC V5.0 标准的 HS-MMC 接口，电平支持 1.8V

或者 3.3V。eMMC FLASH 和 ZYNQ 连接的数据宽度为 8bit。由于 eMMC FLASH 的大容量和非易失特性，在 ZYNQ 系统使用中，它可以作为系统大容量的存储设备，比如存储 ARM 的应用程序、系统文件以及其它的用户数据文件。eMMC FLASH 的具体型号和相关参数见表 2-5-1。

位号	芯片类型	容量	厂家
U19	MTFC32GAKAJCN-4M	32G Byte	Micron

表2-5-1 eMMC Flash的型号和参数

eMMC FLASH 连接到 ZYNQ UltraScale+的 PS 部分 BANK500 的 GPIO 口上，在系统设计中需要配置这些 PS 端的 GPIO 口功能为 EMMC 接口。为图 2-5-1 为 eMMC Flash 在原理图中的部分。

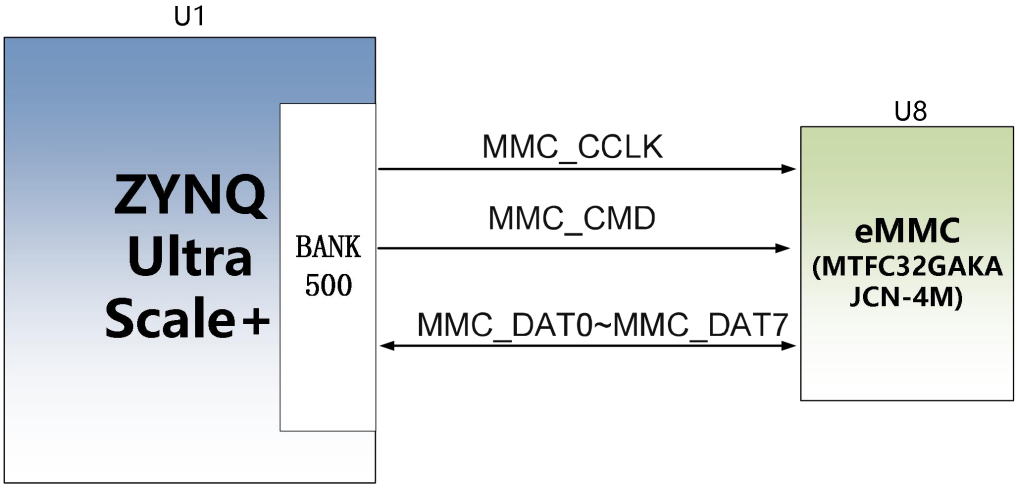


图 2-5-1 eMMC Flash 连接示意图

配置芯片引脚分配：

信号名称	引脚名	引脚号
MMC_CCLK	PS_MIO22_500	AD20
MMC_CMD	PS_MIO21_500	AF18
MMC_DAT0	PS_MIO13_500	AK17
MMC_DAT1	PS_MIO14_500	AL16
MMC_DAT2	PS_MIO15_500	AN16
MMC_DAT3	PS_MIO16_500	AM16
MMC_DAT4	PS_MIO17_500	AP16
MMC_DAT5	PS_MIO18_500	AE18
MMC_DAT6	PS_MIO19_500	AL17
MMC_DAT7	PS_MIO20_500	AD18

MMC_CCLK	PS_MIO22_500	AD20

(六) 时钟配置

核心板上分别为 PS 系统, PL 逻辑部分提供了参考时钟和 RTC 实时时钟，使 PS 系统和 PL 逻辑可以单独工作。时钟电路设计的示意图如下图 2-6-1 所示:

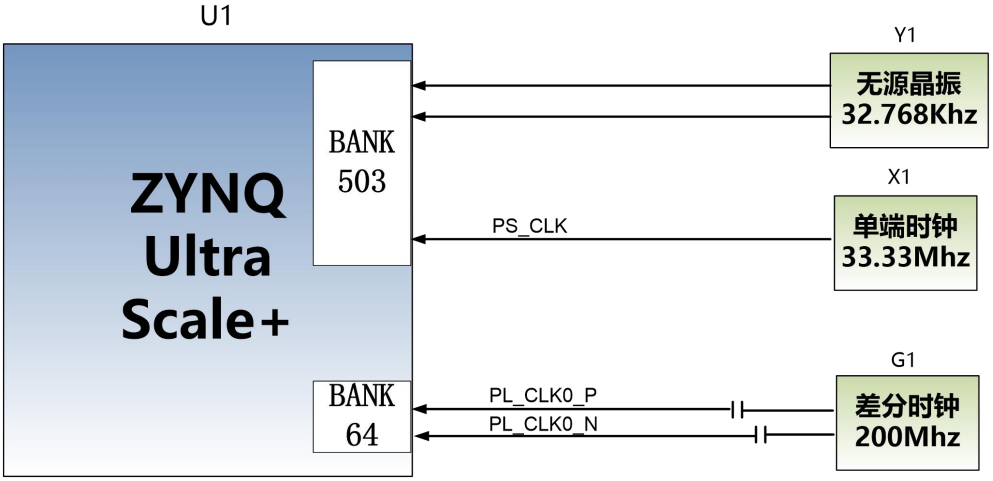


图 2-6-1 核心板时钟源

PS 系统 RTC 实时时钟

核心板上的无源晶体 Y1 为 PS 系统的提供 32.768KHz 的实时时钟源。晶体连接到 ZYNQ 芯片的 BANK503 的 PS_PADI_503 和 PS_PADO_503 的管脚上。其原理图如图 2-6-2 所示:

图 2-6-2 RTC 的无源晶振

时钟引脚分配:

信号名称	引脚
PS_PADI_503	**V21**
PS_PADO_503	**V22**

PS 系统时钟源

核心板上的 X1 晶振为 PS 部分提供 33.333MHz 的时钟输入。时钟的输入连接到 ZYNQ

芯片的 BANK503 的 PS_REF_CLK_503 的管脚上。其原理图如图 2-6-3 所示:

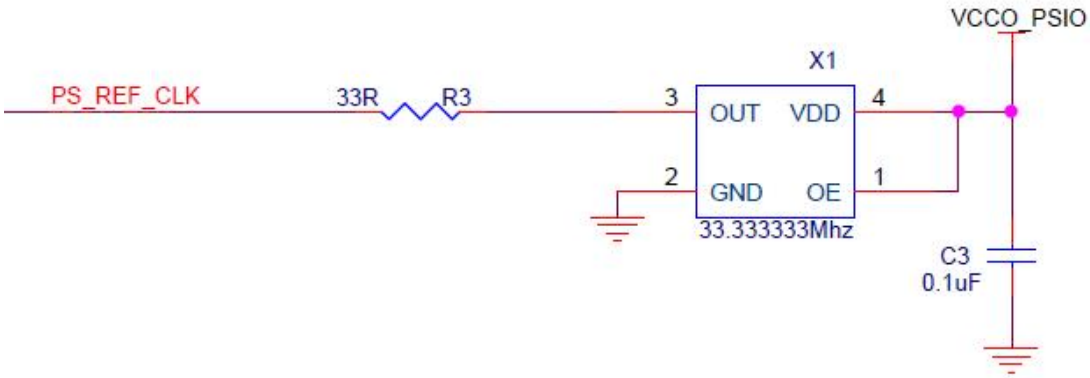


图 2-6-3 PS 部分的有源晶振

时钟引脚分配:

信号名称	引脚
PS_REF_CLK	U24

PL 系统时钟源

板上提供了一个差分 200MHz 的 PL 系统时钟源，用于 DDR4 控制器的参考时钟。晶振输出连接到 PL BANK64 的全局时钟(MRCC)，这个全局时钟可以用来驱动 FPGA 内的 DDR4 控制器和用户逻辑电路。该时钟源的原理图如图 2-6-4 所示

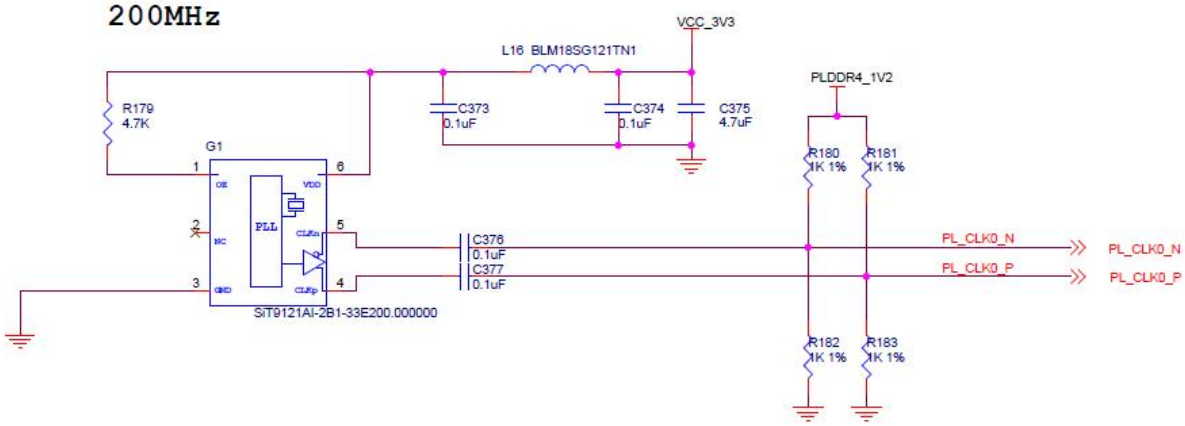


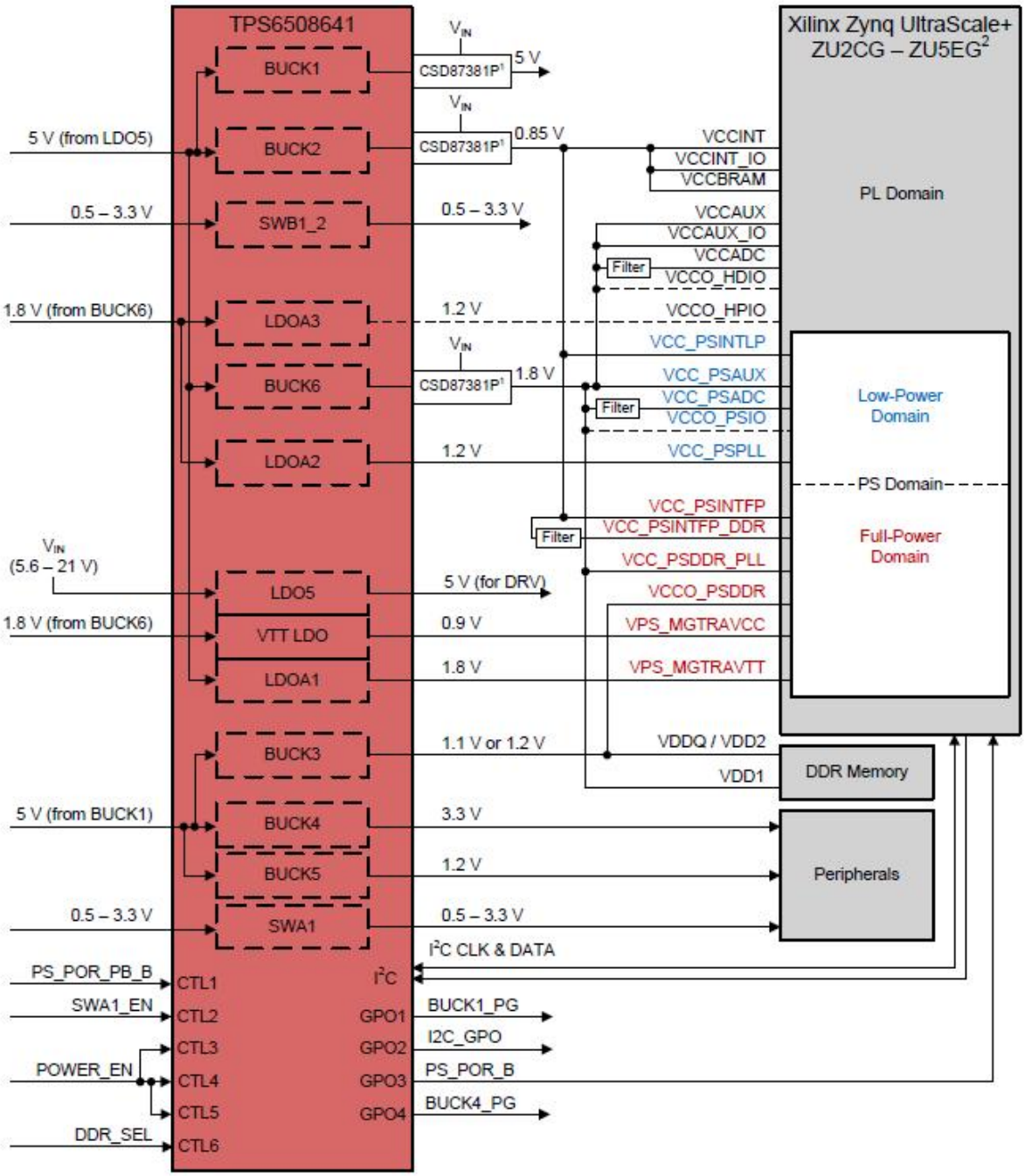
图 2-6-4 PL系统时钟源

PL 时钟引脚分配:

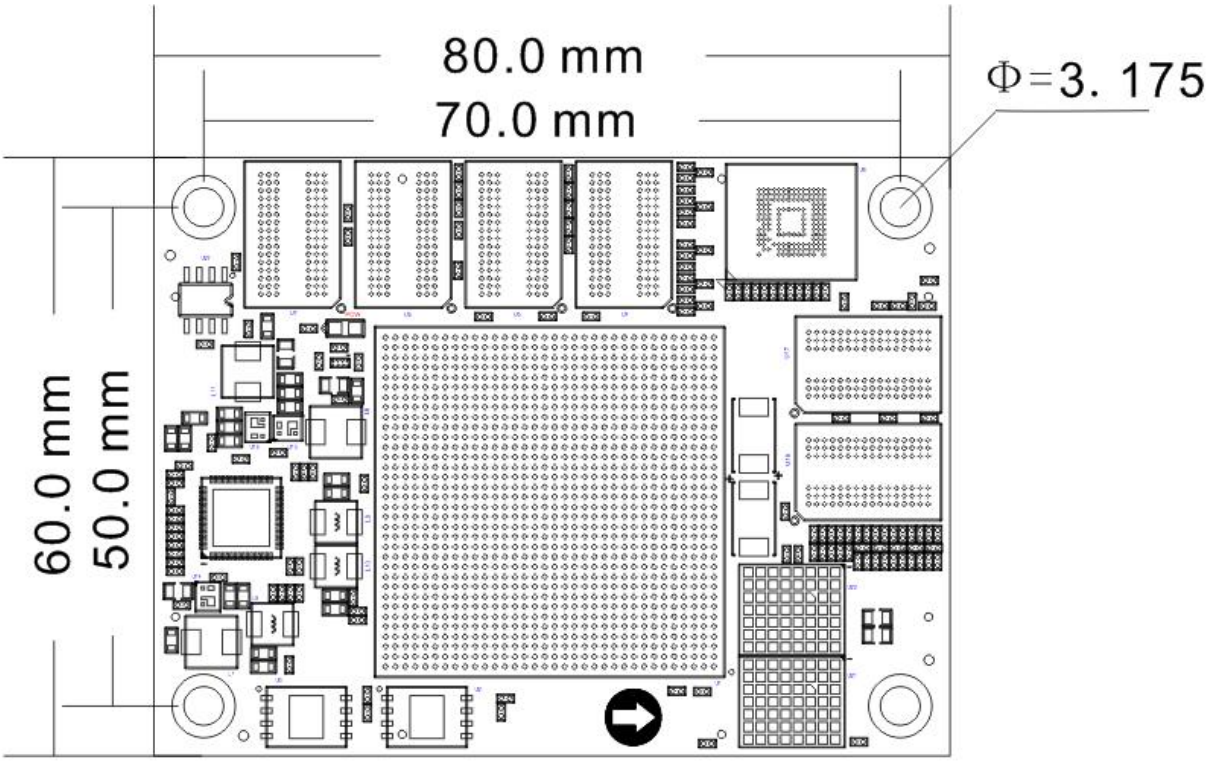
信号名称	引脚
PL_CLK0_P	AL8
PL_CLK0_N	AL7

(七) 电源

ACU9EG 核心板供电电压为+12V，通过连接底板给核心板供电。核心板上通过 2 个 MYMGM1R824 电源芯片并联实现 50A 的电流为 XCZU9EG 提供核心电源 0.85V, 另外使用一个 PMIC 芯片 TPS6508640 产生 XCZU9EG 芯片所需要的其它所有电源，TPS6508640 电源设计请参考电源芯片手册，设计框图如下：



(八) 结构图



正面图（Top View）

(九) 连接器管脚定义

核心板一共扩展出 4 个高速扩展口，使用 4 个 120Pin 的板间连接器（J29~J32）和底板连接，连接器使用松下的 AXK5A2137YG，对应底板的连接器型号为 AXK6A2337YG。

J29 连接器

J29 连接 BANK66,BANK67 的 IO 和 BANK228 的 GTH 信号；BANK66,67 的电平标准由底板的 VCCO_66，VCCO_67 电源决定，默认底板提供+1.8V。

J29 管脚	信号名称	引脚号	J29 管脚	信号名称	引脚号
1	-	-	2	-	-
3	B66_L3_P	AA11	4	B67_L1_P	W12
5	B66_L3_N	AA10	6	B67_L1_N	W11
7	B66_L2_P	AB11	8	B66_L7_P	AC7
9	B66_L2_N	AB10	10	B66_L7_N	AC6
11	GND	-	12	GND	-

13	B66_L5_N	AA12	14	B66_L8_P	AB8
15	B66_L5_P	Y12	16	B66_L8_N	AC8
17	B67_L2_N	R13	18	B66_L1_N	AC11
19	B67_L2_P	T13	20	B66_L1_P	AC12
21	GND	-	22	GND	-
23	B66_L19_P	AC2	24	B66_L11_N	Y7
25	B66_L19_N	AC1	26	B66_L11_P	Y8
27	B67_L16_P	N9	28	B67_L6_P	U11
29	B67_L16_N	N8	30	B67_L6_N	T11
31	GND	-	32	GND	-
33	B67_L19_N	K16	34	B66_L14_N	AA5
35	B67_L19_P	L16	36	B66_L14_P	Y5
37	B66_L9_P	W7	38	B66_L21_P	AA2
39	B66_L9_N	W6	40	B66_L21_N	AA1
41	GND	-	42	GND	-
43	B67_L8_P	V6	44	B67_L21_N	N12
45	B67_L8_N	U6	46	B67_L21_P	P12
47	B67_L5_P	V12	48	B67_L24_N	K15
49	B67_L5_N	V11	50	B67_L24_P	L15
51	GND	-	52	GND	-
53	B66_L22_N	Y1	54	B66_L13_P	Y4
55	B66_L22_P	Y2	56	B66_L13_N	Y3
57	B66_L24_N	W1	58	B67_L4_P	T12
59	B66_L24_P	W2	60	B67_L4_N	R12
61	GND	-	62	GND	-
63	B67_L20_P	M15	64	B67_L22_P	N13
65	B67_L20_N	M14	66	B67_L22_N	M13
67	B67_L23_N	K13	68	B67_L17_P	M11
69	B67_L23_P	L13	70	B67_L17_N	L11
71	GND	-	72	GND	-
73	B67_L7_N	V7	74	B67_L13_P	P11
75	B67_L7_P	V8	76	B67_L13_N	N11

77	B67_L9_P	U9	78	B66_L23_N	V1
79	B67_L9_N	U8	80	B66_L23_P	V2
81	GND	-	82	GND	-
83	B67_L18_P	L12	84	B67_L12_P	T8
85	B67_L18_N	K12	86	B67_L12_N	R8
87	B67_L10_P	T7	88	B67_L14_P	P10
89	B67_L10_N	T6	90	B67_L14_N	P9
91	GND	-	92	GND	-
93	228_RX1_N	P1	94	228_RX0_N	T1
95	228_RX1_P	P2	96	228_RX0_P	T2
97	GND	-	98	GND	-
99	228_TX1_N	P5	100	228_TX0_N	R3
101	228_TX1_P	P6	102	228_TX0_P	R4
103	GND	-	104	GND	-
105	228_RX3_N	L3	106	228_RX2_N	M1
107	228_RX3_P	L4	108	228_RX2_P	M2
109	GND	-	110	GND	D1
111	228_TX3_N	M5	112	228_TX2_N	N3
113	228_TX3_P	M6	114	228_TX2_P	N4
115	GND	-	116	GND	-
117	228_CLK0_N	L7	118	228_CLK1_N	J7
119	228_CLK0_P	L8	120	228_CLK1_P	J8

J30 连接器

J30 连接 BANK505 MGT 的收发器信号，PS 的 MIO，VCCO_66，VCCO_67 和+12V 电源。PS 的 MIO 的电平为 1.8V 标准

J30 管脚	信号名称	引脚号	J30 管脚	信号名称	引脚号
1	505_TX0_P	AB29	2	505_CLK0_P	AA27
3	505_TX0_N	AB30	4	505_CLK0_N	AA28
5	GND	-	6	GND	-
7	505_RX0_P	AB33	8	505_TX3_P	V29

9	505_RX0_N	AB34	10	505_TX3_N	V30
11	GND	-	12	GND	-
13	505_CLK1_P	W27	14	505_TX2_P	W31
15	505_CLK1_N	W28	16	505_TX2_N	W32
17	GND	-	18	GND	-
19	505_RX2_N	Y34	20	505_CLK2_P	U27
21	505_RX2_P	Y33	22	505_CLK2_N	U28
23	GND	-	24	GND	-
25	505_RX3_P	V33	26	505_RX1_N	AA32
27	505_RX3_N	V34	28	505_RX1_P	AA31
29	GND	-	30	GND	-
31	505_CLK3_P	U31	32	505_TX1_N	Y30
33	505_CLK3_N	U32	34	505_TX1_P	Y29
35	GND	-	36	GND	-
37	PS_MIO26	P21	38	USB_STP	G23
39	PS_MIO35	P22	40	USB_DIR	E23
41	GND	-	42	GND	-
43	PS_MIO28	N21	44	USB_CLK	F22
45	PS_MIO37	N22	46	USB_NXT	B23
47	PS_MIO39	N23	48	USB_DATA0	C23
49	PS_MIO27	M21	50	USB_DATA1	A23
51	GND	-	52	GND	-
53	PS_MIO40	M23	54	USB_DATA2	F23
55	PS_MIO30	L21	56	USB_DATA3	B24
57	PS_MIO34	L22	58	USB_DATA4	E24
59	PS_MIO29	K22	60	USB_DATA5	C24
61	GND	-	62	GND	-
63	PS_MIO31	J22	64	USB_DATA6	G24
65	PS_MIO32	H22	66	USB_DATA7	D24
67	PS_MIO42	M24	68	PHY1_MDC	H25
69	PS_MIO36	K23	70	PHY1_MDIO	F25
71	GND	-	72	GND	-

73	PS_MIO33	H23	74	PHY1_TXD0	A26
75	PS_MIO38	L23	76	PHY1_TXD1	A27
77	PS_MIO43	K24	78	PHY1_TXD2	B25
79	PS_MIO41	J24	80	PHY1_TXD3	B26
81	GND	-	82	GND	-
83	PS_MIO44	N24	84	PHY1_TXCK	A25
85	SD_CD	P24	86	PHY1_TXCTL	B27
87	SD_D0	J25	88	PHY1_RXD3	G25
89	SD_D3	K25	90	PHY1_RXD2	H24
91	GND	-	92	GND	-
93	SD_D1	L25	94	PHY1_RXD1	E25
95	SD_D2	M25	96	PHY1_RXD0	C27
97	SD_CLK	N25	98	PHY1_RXCTL	D25
99	SD_CMD	P25	100	PHY1_RXCK	C26
101	GND	-	102	GND	-
103	VCCO_66	-	104	VCCO_67	-
105	VCCO_66	-	106	VCCO_67	-
107	GND	-	108	GND	-
109	+12V	-	110	+12V	-
111	+12V	-	112	+12V	-
113	+12V	-	114	+12V	-
115	+12V	-	116	+12V	-
117	+12V	-	118	+12V	-
119	+12V	-	120	+12V	-

J31 连接器

J31 连接 BANK44,BANK50, BANK66,BANK67 的 IO，BANK25,BANK26，BANK66 的 IO 和 BANK505 MGT 的收发器信号。BANK66,67 的电平标准由底板的 VCCO_66，VCCO_67 电源决定，默认底板提供+1.8V。

J31 管脚	信号名称	引脚号	J31 管脚	信号名称	引脚号
			2	FPGA_TCK	R25
3	POWER_SW	-	4	FPGA_TMS	R24

5	PS_MODE3	R23	6	FPGA_TDO	T25
7	PS_MODE2	T23	8	FPGA_TDI	U25
9	GND	-	10	GND	-
11	PS_MODE1	R22	12	VBAT_IN	-
13	PS_MODE0	T22	14	PS_POR_B	V23
15	PS_ERROR_STATUS	R21	16	FPGA_DONE	W21
17	PS_ERROR_OUT	T21	18	GND	-
19	GND	-	20	GND	-
21	B44_L5_P	AK15	22	B50_L11_N	G16
23	B44_L5_N	AK14	24	B50_L11_P	H16
25	B50_L9_P	G15	26	B50_L12_P	J16
27	B50_L9_N	G14	28	B50_L12_N	J15
29	GND	-	30	GND	-
31	B44_L12_P	AE15	32	B50_L10_N	H14
33	B44_L12_N	AE14	34	B50_L10_P	J14
35	B44_L7_P	AH14	36	B44_L8_P	AJ15
37	B44_L7_N	AH13	38	B44_L8_N	AJ14
39	GND	-	40	GND	-
41	B44_L11_N	AG15	42	B44_L6_P	AK13
43	B44_L11_P	AF15	44	B44_L6_N	AL12
45	B44_L1_N	AP14	46	B44_L2_N	AN13
47	B44_L1_P	AN14	48	B44_L2_P	AM14
49	GND	-	50	GND	-
51	B44_L3_N	AP12	-	-	-
53	B44_L3_P	AN12	-	-	-
55	B44_L4_N	AM13	-	-	-
57	B44_L4_P	AL13	-	-	-
59	GND	-	60	GND	-
61	B44_L10_P	AG14	-	-	-
63	B44_L10_N	AG13	-	-	-
65	B50_L8_N	G13	66	B44_L9_N	AF13
67	B50_L8_P	H13	68	B44_L9_P	AE13

69	GND	-	70	GND	-
71	B50_L7_N	H12	72	B50_L6_P	F12
73	B50_L7_P	J12	74	B50_L6_N	F11
75	-	-	76	B50_L5_N	G11
77	-	-	78	B50_L5_P	H11
79	GND	-	80	GND	-
81	B50_L2_P	H10	82	B50_L1_P	J11
83	B50_L2_N	G10	84	B50_L1_N	J10
85	B50_L3_N	E10	86	B50_L4_P	D11
87	B50_L3_P	F10	88	B50_L4_N	D10
89	GND	-	90	GND	-
91	B66_L17_P	V4	92	B66_L15_P	W5
93	B66_L17_N	V3	94	B66_L15_N	W4
95	B66_L12_P	AA7	96	B66_L16_N	AC4
97	B66_L12_N	AA6	98	B66_L16_P	AB4
99	GND	-	100	GND	-
101	B66_L10_P	AB6	102	B66_L20_N	AC3
103	B66_L10_N	AB5	104	B66_L20_P	AB3
105	B66_L4_P	AB9	106	B67_L15_P	M10
107	B66_L4_N	AC9	108	B67_L15_N	L10
109	GND	-	110	GND	-
111	B66_L6_P	Y10	112	B67_L3_P	U10
113	B66_L6_N	Y9	114	B67_L3_N	T10
115	B66_L18_P	U5	116	B67_L11_P	R10
117	B66_L18_N	U4	118	B67_L11_N	R9
119	GND	-	120	GND	-

J32 连接器的引脚分配

J32 连接 BANK47, 48，49 的 IO 和 BANK128,129,130 的收发器信号。

J32 管脚	信号名称	引脚号	J32 管脚	信号名称	引脚号
1	B48_L5_P	G18	2	B48_L10_N	B19
3	B48_L5_N	G19	4	B48_L10_P	B18

5	B48_L11_P	C18	6	B49_L9_N	A12
7	B48_L11_N	C19	8	B49_L9_P	A13
9	GND	-	10	GND	-
11	B49_L8_N	B13	12	B47_L12_N	A20
13	B49_L8_P	C13	14	B47_L12_P	B20
15	B47_L11_N	A22	16	B49_L4_N	A15
17	B47_L11_P	A21	18	B49_L4_P	B15
19	GND	-	20	GND	-
21	-	-	22	-	-
23	-	-	24	-	-
25	-	-	26	B49_L10_N	B12
27	-	-	28	B49_L10_P	C12
29	-	-	30	-	-
31	GND	-	32	GND	-
33	130_RX3_N	B34	34	130_TX2_N	B30
35	130_RX3_P	B33	36	130_TX2_P	B29
37	GND	-	38	GND	-
39	130_TX3_N	A32	40	130_RX2_N	C32
41	130_TX3_P	A31	42	130_RX2_P	C31
43	GND	-	44	GND	-
45	130_RX0_N	E32	46	130_RX1_N	D34
47	130_RX0_P	E31	48	130_RX1_P	D33
49	GND	-	50	GND	-
51	130_TX0_N	F30	52	130_TX1_N	D30
53	130_TX0_P	F29	54	130_TX1_P	D29
55	GND	-	56	GND	-
57	130_CLK0_N	G28	58	130_CLK1_N	E28
59	130_CLK0_P	G27	60	130_CLK1_P	E27
61	GND	-	62	GND	-
63	129_TX3_N	G32	64	129_RX3_N	F34
65	129_TX3_P	G31	66	129_RX3_P	F33
67	GND	-	68	GND	-

69	129_RX1_N	K34	70	129_TX2_N	H30
71	129_RX1_P	K33	72	129_TX2_P	H29
73	GND	-	74	GND	-
75	129_TX1_N	J32	76	129_RX2_N	H34
77	129_TX1_P	J31	78	129_RX2_P	H33
79	GND	-	80	GND	-
81	129_RX0_N	L32	82	129_TX0_N	K30
83	129_RX0_P	L31	84	129_TX0_P	K29
85	GND	-	86	GND	-
87	129_CLK0_N	L28	88	129_CLK1_N	J28
89	129_CLK0_P	L27	90	129_CLK1_P	J27
91	GND	-	92	GND	-
93	128_TX3_N	M30	94	128_RX3_N	M34
95	128_TX3_P	M29	96	128_RX3_P	M33
97	GND	-	98	GND	-
99	128_TX2_N	P30	100	128_RX1_P	P33
101	128_TX2_P	P29	102	128_RX1_N	P34
103	GND	-	104	GND	-
105	128_TX0_N	T30	106	128_RX0_P	T33
107	128_TX0_P	T29	108	128_RX0_N	T34
109	GND	-	110	GND	-
111	128_TX1_N	R32	112	128_RX2_P	N31
113	128_TX1_P	R31	114	128_RX2_N	N32
115	GND	-	116	GND	-
117	128_CLK0_N	R28	118	128_CLK1_P	N27
119	128_CLK0_P	R27	120	128_CLK1_N	N28

三、 扩展板

(一) 简介

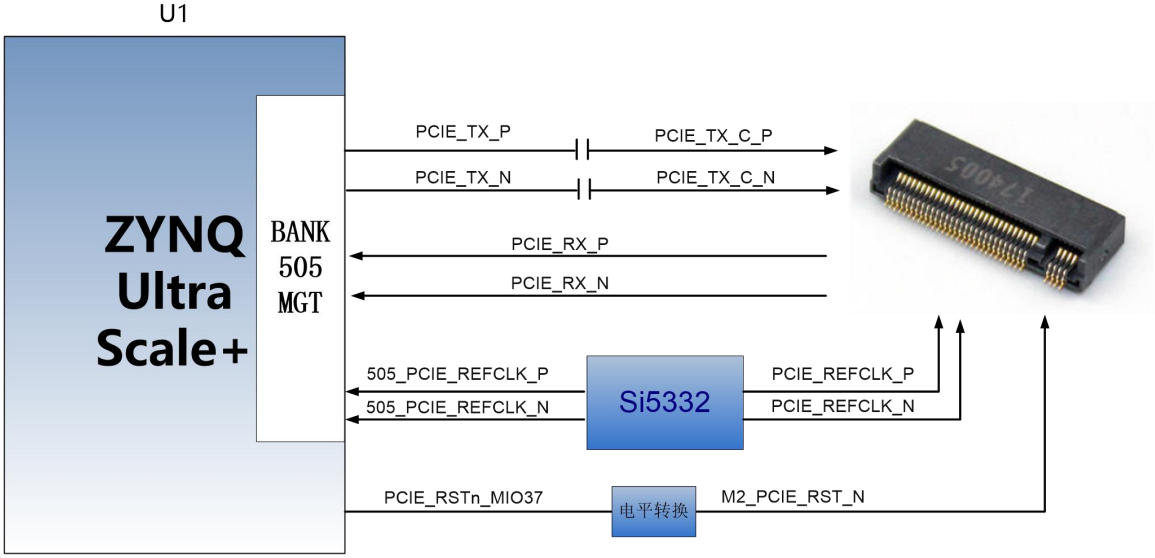
通过前面的功能简介，我们可以了解到扩展板部分的功能

- 1 路 M.2 接口
- 1 路 DP 输出接口
- 4 路 USB3.0 接口
- 2 路千兆以太网接口
- 2 路 USB Uart 接口
- 1 路 Micro SD 卡座
- 1 路 MIPI 摄像头接口
- 1 路 FMC 扩展口
- 2 路 CAN 通信接口
- 2 路 485 通信接口
- JTAG 调试口
- 1 路 40 针扩展口
- 1 路温度传感器
- 1 路 EEPROM
- 1 路 RTC 实时时钟；
- 2 个用户 LED 灯
- 2 个用户按键

(二) M.2 接口

AXU9EGB 开发板配备了一个 PCIE x1 标准的 M.2 接口，用于连接 M.2 的 SSD 固态硬盘，通信速度高达 6Gbps。M.2 接口使用 M key 插槽，只支持 PCI-E，不支持 SATA，用户选择 SSD 固态硬盘的时候需要选择 PCIE 类型的 SSD 固态硬盘。

PCIE 信号直接跟 ZU9EG 的 BANK505 PS MGT 收发器相连接，1 路 TX 信号和 RX 信号都是以差分信号方式连接到 MGT 的 LANE1。PCIE 的时钟由 Si5332 芯片提供，频率为 100Mhz，M.2 电路设计的示意图如下图 3-2-1 所示:



3-2-1 M.2 接口设计示意图

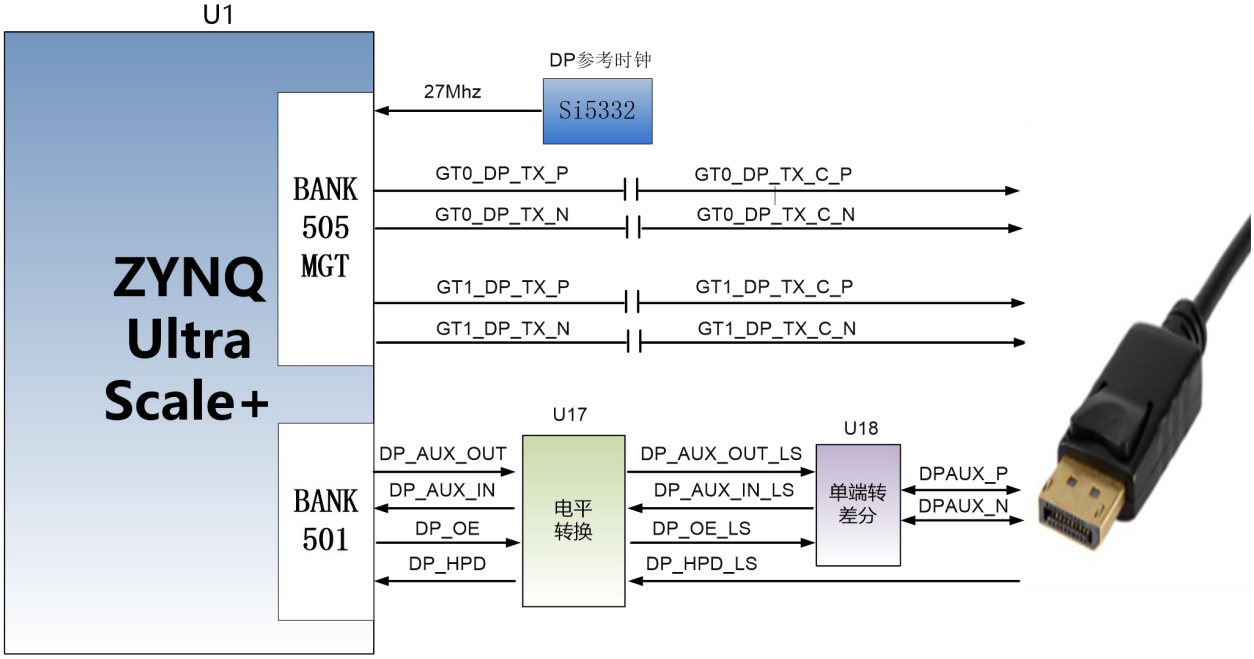
M.2 **接口 ZYNQ 引脚分配如下：**

信号名称	引脚名	引脚号	备注
PCIE_TX_P	505_TX0_P	AB29	PCIE 数据发送正
PCIE_TX_N	505_TX0_N	AB30	PCIE 数据发送负
PCIE_RX_P	505_RX0_P	AB33	PCIE 数据接收正
PCIE_RX_N	505_RX0_N	AB34	PCIE 数据接收负
505_PCIE_REFCLK_P	505_CLK0_P	AA27	PCIE 参考时钟正
505_PCIE_REFCLK_N	505_CLK0_N	AA28	PCIE 参考时钟负
PCIE_RSTN_MIO37	PS_MIO37	N22	PCIE 复位信号

(三) DP 显示接口

AXU9EGB 开发板带有 1 路 mini DisplayPort 输出显示接口，用于视频图像的显示。接口支持 VESA DisplayPort V1.2a 输出标准，最高支持 4K x 2K@30Fps 输出，支持 Y-only, YCbCr444, YCbCr422, YCbCr420 和 RGB 视频格式，每种颜色支持 6, 8, 10, 或者 12 位。

DisplayPort 数据传输通道直接用 ZU9EG 的 BANK505 PS MGT 驱动输出，MGT 的 LANE2 和 LANE3 TX 信号以差分信号方式连接到 DP 连接器。DisplayPort 辅助通道连接到 PS 的 MIO 管脚上。DP 输出接口设计的示意图如下图 3-3-1 所示:



3-3-1 DP 接口设计示意图

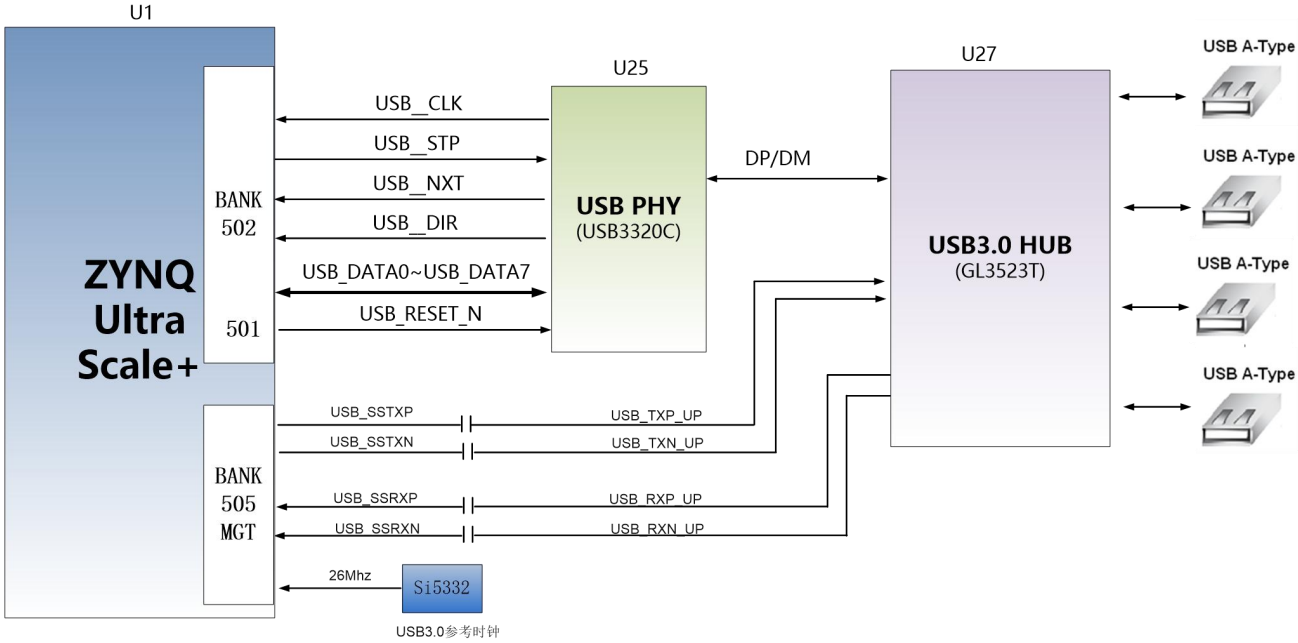
DisplayPort 接口 ZYNQ 引脚分配如下:

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
GT0_DP_TX_P	505_TX3_P	V29	DP 数据低位发送正
GT0_DP_TX_N	505_TX3_N	V30	DP 数据低位发送负
GT1_DP_TX_P	505_TX2_P	W31	DP 数据高位发送正
GT1_DP_TX_N	505_TX2_N	W32	DP 数据高位发送负
505_DP_CLKP	505_CLK2_P	U27	DP 参考时钟正
505_DP_CLKN	505_CLK2_N	U28	DP 参考时钟负
DP_AUX_OUT	PS_MIO27	M21	DP 辅助数据输出
DP_AUX_IN	PS_MIO30	L21	DP 辅助数据输入
DP_OE	PS_MIO29	K22	DP 辅助数据输出使能
DP_HPD	PS_MIO28	N21	DP 插入信号检测

(四) USB3.0 接口

AXU9EGB 扩展板上有 4 个 USB3.0 接口，支持 HOST 工作模式，数据传输速度高达 5.0Gb/s。USB3.0 通过 PIPE3 接口连接，USB2.0 通过 ULPI 接口连接外部的 USB3320C 芯片，实现高速的 USB3.0 和 USB2.0 的数据通信。

USB 接口为扁型 USB 接口(USB Type A)，方便用户同时连接不同的 USB Slave 外设(比如 USB 鼠标，键盘或 U 盘）。USB3.0 连接的示意图如 3-4-1 所示：



3-4-1 USB3.0 接口示意图

USB 接口引脚分配：

信号名称	引脚名	引脚号	备注
USB_SSTXP	505_TX1_P	Y29	USB3.0 数据发送正
USB_SSTXN	505_TX1_N	Y30	USB3.0 数据发送负
USB_SSRXP	505_RX1_P	AA31	USB3.0 数据接收正
USB_SSRXN	505_RX1_N	AA32	USB3.0 数据接收负
USB_DATA0	PS_MIO56	C23	USB2.0 数据 Bit0
USB_DATA1	PS_MIO57	A23	USB2.0 数据 Bit1
USB_DATA2	PS_MIO54	F23	USB2.0 数据 Bit2
USB_DATA3	PS_MIO59	B24	USB2.0 数据 Bit3
USB_DATA4	PS_MIO60	E24	USB2.0 数据 Bit4
USB_DATA5	PS_MIO61	C24	USB2.0 数据 Bit5
USB_DATA6	PS_MIO62	G24	USB2.0 数据 Bit6

USB_DATA7	PS_MIO63	D24	USB2.0 数据 Bit7
USB_STP	PS_MIO58	G23	USB2.0 停止信号
USB_DIR	PS_MIO53	E23	USB2.0 数据方向信号
USB_CLK	PS_MIO52	F22	USB2.0 时钟信号
USB_NXT	PS_MIO55	B23	USB2.0 下一数据信号
USB_RESET_N	PS_MIO32	H22	USB2.0 复位信号

(五) 千兆以太网接口

AXU9EGB 扩展板上有 2 路千兆以太网接口，1 路连接到 PS 端，另 1 路连接到 PL 端。以太网芯片采用景略半导体的工业级以太网 GPHY 芯片（JL2121-N040I）为用户提供网络通信服务。PS 端的以太网 PHY 芯片是连接到 ZYNQ 的 PS 端 BANK502 的 MIO 接口上。PL 端的以太网 PHY 芯片是连接到 BANK66 的 IO 上。JL2121 芯片支持 10/100/1000 Mbps 网络传输速率，通过 RGMII 接口跟 MPSOC 系统的 MAC 层进行数据通信。JL2121D 支持MDI/MDX 自适应，各种速度自适应，Master/Slave 自适应，支持 MDIO 总线进行 PHY 的寄存器管理。

JL2121 上电会检测一些特定的 IO 的电平状态，从而确定自己的工作模式。表 3-5-1 描述了 GPHY 芯片上电之后的默认设定信息。

配置 Pin 脚	说明	配置值
RXD3_ADR0 RXC_ADR1 RXCTL_ADR2	MDIO/MDC 模式的 PHY 地址	PHY Address 为 001
RXD1_TXDLY	TX 时钟 2ns 延时	延时
RXD0_RXDLY	RX 时钟 2ns 延时	延时

表 3-5-1 GPHY 芯片默认配置值

当网络连接到千兆以太网时，MPSOC 和 PHY 芯片 JL2121 的数据传输时通过 RGMII 总线通信，传输时钟为 125Mhz，数据在时钟的上升沿和下降样采样。

当网络连接到百兆以太网时，MPSOC 和 PHY 芯片 JL2121 的数据传输时通过 RMII 总线通信，传输时钟为 25Mhz。数据在时钟的上升沿和下降样采样。

图 3-5-1 为 ZYNQ 以太网 PHY 芯片连接示意图:

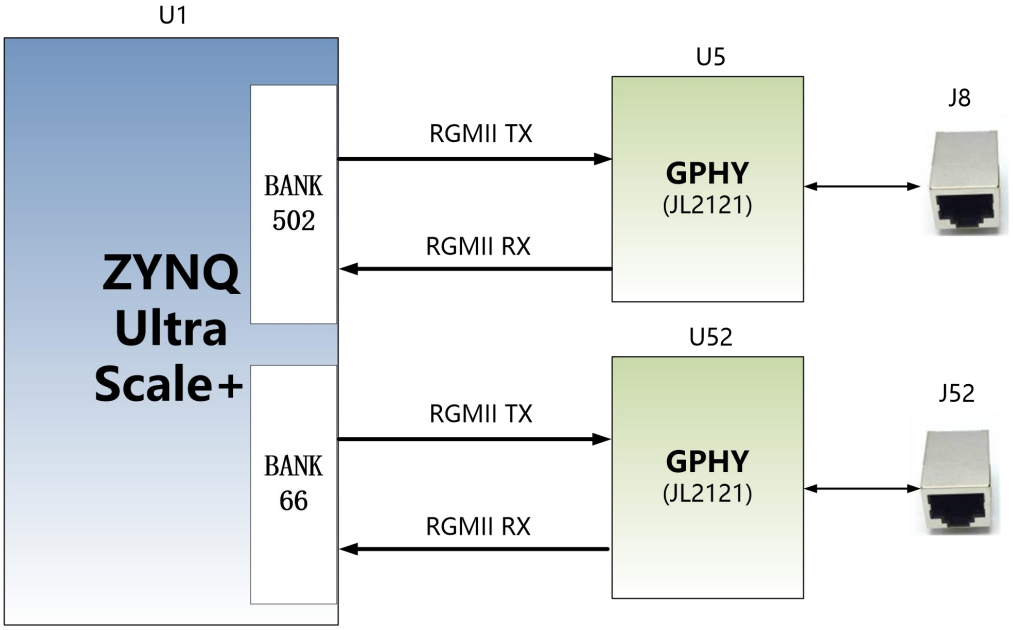


图 3-5-1 ZYNQ 与 GPHY 连接示意图

PS 千兆以太网引脚分配如下：

信号名称	引脚名	引脚号	备注
PHY1_TXCK	PS_MIO64	A25	以太网 1RGMII 发送时钟
PHY1_TXD0	PS_MIO65	A26	以太网 1 发送数据 bit 0
PHY1_TXD1	PS_MIO66	A27	以太网 1 发送数据 bit1
PHY1_TXD2	PS_MIO67	B25	以太网 1 发送数据 bit2
PHY1_TXD3	PS_MIO68	B26	以太网 1 发送数据 bit3
PHY1_TXCTL	PS_MIO69	B27	以太网 1 发送使能信号
PHY1_RXCK	PS_MIO70	C26	以太网 1RGMII 接收时钟
PHY1_RXD0	PS_MIO71	C27	以太网 1 接收数据 Bit0
PHY1_RXD1	PS_MIO72	E25	以太网 1 接收数据 Bit1
PHY1_RXD2	PS_MIO73	H24	以太网 1 接收数据 Bit2
PHY1_RXD3	PS_MIO74	G25	以太网 1 接收数据 Bit3
PHY1_RXCTL	PS_MIO75	D25	以太网 1 接收数据有效信号
PHY1_MDC	PS_MIO76	H25	以太网 1MDIO 管理时钟
PHY1_MDIO	PS_MIO77	F25	以太网 1MDIO 管理数据

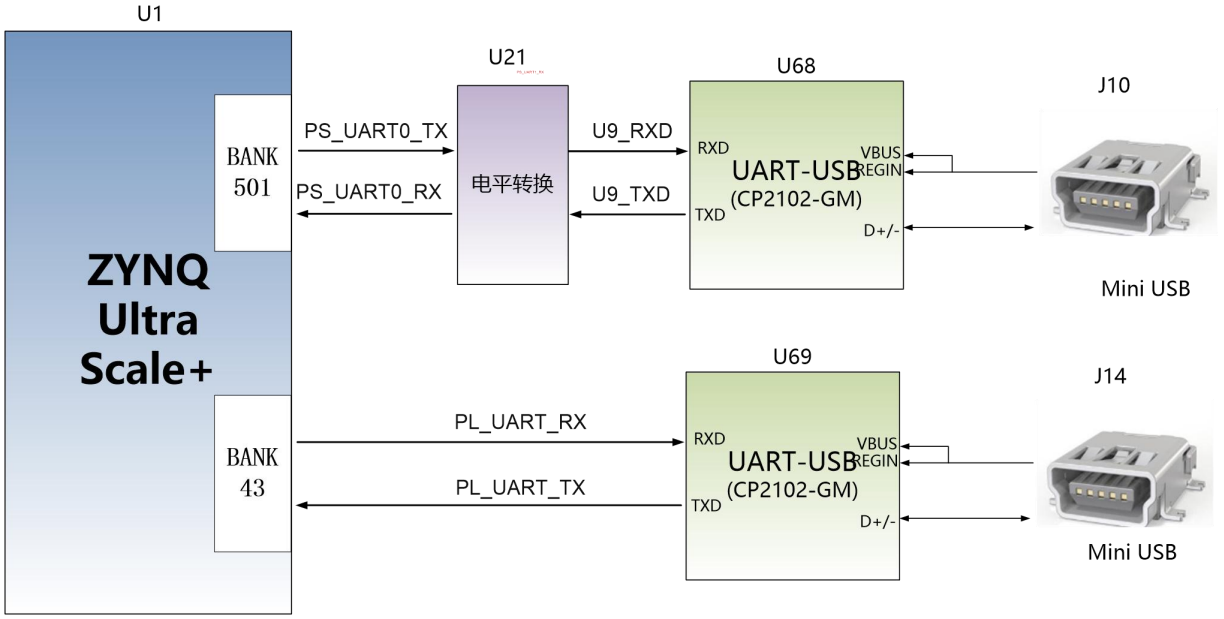
PL 千兆以太网引脚分配如下：

信号名称	引脚名	引脚号	备注

PHY2_TXCK	B66_L17_N	V3	以太网 2 RGMII 发送时钟
PHY2_TXD0	B66_L4_N	AC9	以太网 2 发送数据 bit 0
PHY2_TXD2	B66_L10_N	AB5	以太网 2 发送数据 bit1
PHY2_TXD1	B66_L4_P	AB9	以太网 2 发送数据 bit2
PHY2_TXD3	B66_L10_P	AB6	以太网 2 发送数据 bit3
PHY2_TXCTL	B66_L17_P	V4	以太网 2 发送使能信号
PHY2_RXCK	B66_L12_P	AA7	以太网 2 RGMII 接收时钟
PHY2_RXD0	B66_L18_N	U4	以太网 2 接收数据 Bit0
PHY2_RXD1	B66_L18_P	U5	以太网 2 接收数据 Bit1
PHY2_RXD2	B66_L6_N	Y9	以太网 2 接收数据 Bit2
PHY2_RXD3	B66_L6_P	Y10	以太网 2 接收数据 Bit3
PHY2_RXCTL	B66_L12_N	AA6	以太网 2 接收数据有效信号
PHY2_MDC	B67_L15_P	M10	以太网 2 MDIO 管理时钟
PHY2_MDIO	B67_L15_N	L10	以太网 2 MDIO 管理数据
PHY2_RESET	B67_L11_N	R9	以太网 2 复位信号

(六) USB Uart 接口

AXU9EGB 扩展板上配备了 2 个 Uart 转 USB 接口，1 个连接到 PS 端，一个连接到 PL 端。转换芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片, USB 接口采用 MINI USB 接口，可以用 USB 线将它连接到上 PC 的 USB 口进行串口数据通信。USB Uart 电路设计的示意图如下图所示:



3-6-1 USB 转串口示意图

USB 转串口的 ZYNQ 引脚分配：

信号名称	引脚名	引脚号	备注
PS_UART_TX	PS_MIO43	K24	PS Uart 数据输出
PS_UART_RX	PS_MIO42	M24	PS Uart 数据输入
PL_UART_TX	B50_L4_N	D10	PL Uart 数据输出
PL_UART_RX	B50_L4_P	D11	PL Uart 数据输入

(七) SD 卡槽

AXU9EGB扩展板包含了一个Micro型的SD卡接口，以提供用户访问SD卡存储器，用于存储ZU9EG芯片的BOOT程序，Linux操作系统内核，文件系统以及其它的用户数据文件。

SDIO信号与ZU9EG的PS BANK501的IO信号相连，因为501的VCCIO设置为1.8V，但SD卡的数据电平为3.3V，我们这里通过TXS02612电平转换器来连接。ZU9EG PS和SD卡连接器的原理图如图3-7-1所示。

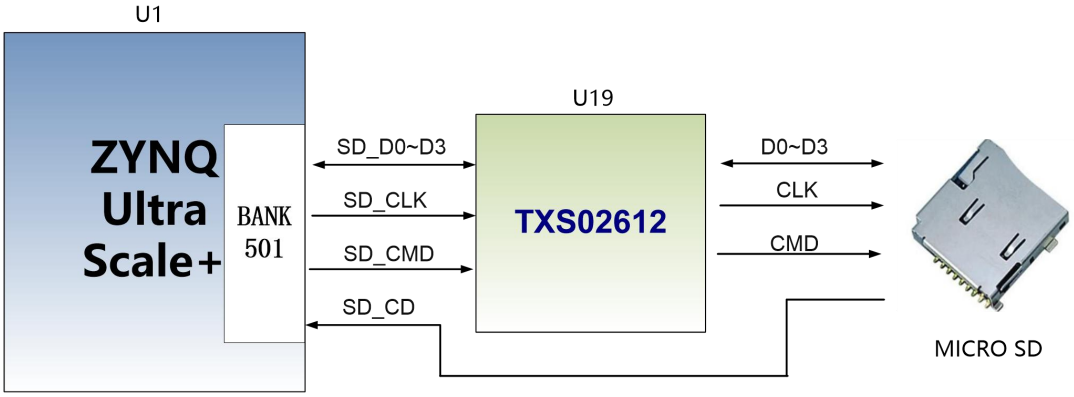


图 3-7-1 SD 卡连接示意图

SD 卡槽引脚分配

信号名称	引脚名	引脚号	备注
SD_CMD	SD_CMD	P25	SD 时钟信号
SD_CD	SD_CD	P24	SD 命令信号
SD_D0	SD_D0	J25	SD 数据 Data0
SD_D1	SD_D1	L25	SD 数据 Data1
SD_D2	SD_D2	M25	SD 数据 Data2
SD_D3	SD_D3	K25	SD 数据 Data3
SD_CMD	SD_CMD	P25	SD 卡检测信号

(八) 光纤接口

AXU9EGB 扩展板上有 2 路光纤接口，用户可以购买 SFP 光模块(市场上 1.25G，2.5G，10G 光模块）插入到这 2 个光纤接口中进行光纤数据通信。2 路光纤接口分别跟 ZYNQ 的 BANK228 的 GTH 收发器的 2 路 RX/TX 相连接，每路 TX 发送和 RX 接收数据速率高达 12.5Gb/s。GTH 收发器的参考时钟由底板的 125M 差分晶振 G1 提供。

ZYNQ Ultrascale+和光纤设计示意图如下图 3-8-1 所示:

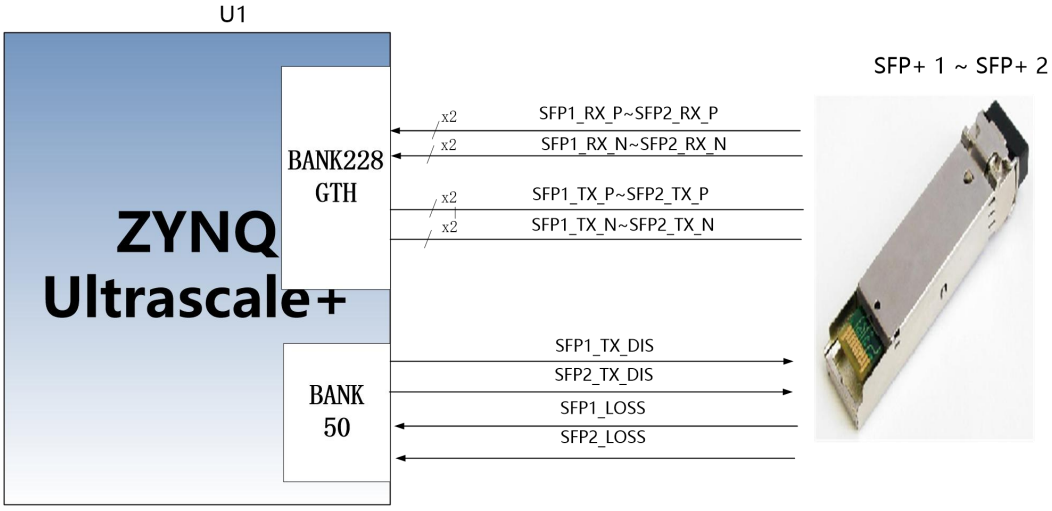


图 3-8-1 光纤设计示意图

2 路光纤接口 ZYNQ 引脚分配如下：

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
SFP1_TX_N	228_TX2_N	N3	光模块 1 数据发送负
SFP1_TX_P	228_TX2_P	N4	光模块 1 数据发送正
SFP1_RX_N	228_RX2_N	M1	光模块 1 数据接收负
SFP1_RX_P	228_RX2_P	M2	光模块 1 数据接收正
SFP2_TX_N	228_TX0_N	R3	光模块 2 数据发送负
SFP2_TX_P	228_TX0_P	R4	光模块 2 数据发送正
SFP2_RX_N	228_RX0_N	T1	光模块 2 数据接收负
SFP2_RX_P	228_RX0_P	T2	光模块 2 数据接收正
SFP1_TX_DIS	B50_L8_N	G13	光模块 1 光发射禁止，高有效
SFP2_TX_DIS	B50_L7_N	H12	光模块 2 光发射禁止，高有效
SFP1_LOSS	B50_L8_P	H13	光模块 1 接收 LOSS 检测信号
SFP2_LOSS	B50_L7_P	J12	光模块 2 接收 LOSS 检测信号

(九) CAN 通信接口

AXU9EGB 扩展板上有 2 路 CAN 通信接口，连接在 PS 系统端 BANK501 的 MIO 接口上。CAN 收发芯片选用了 TI 公司的 SN65HVD232C 芯片为用户 CAN 通信服务。

图 3-9-1 为 PS 端 CAN 收发芯片的连接示意图

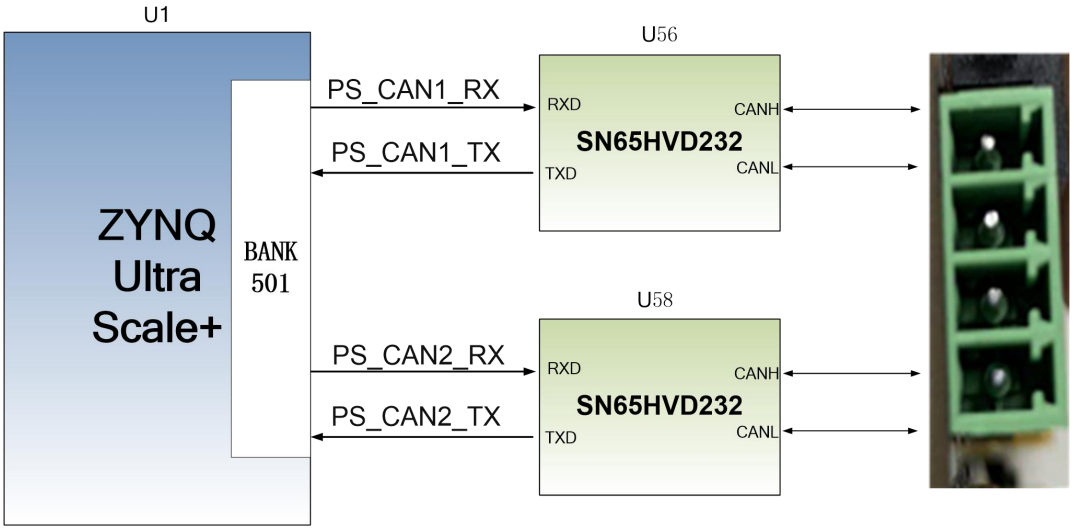


图 3-9-1　PS 端 CAN 收发芯片的连接示意图

CAN 通信引脚分配如下：

信号名称	引脚名	引脚号	备注
PS_CAN1_TX	PS_MIO39	N23	CAN1 发送端
PS_CAN1_RX	PS_MIO38	L23	CAN1 接收端
PS_CAN2_TX	PS_MIO40	M23	CAN2 发送端
PS_CAN2_RX	PS_MIO41	J24	CAN2 接收端

(十) 485 通信接口

AXU9EGB 扩展板上有 2 路 485 通信接口， 485 通信端口连接在 PL 端 BANK43,45 的 IO 接口上。485 收发芯片选用 MAXIM 公司的 MAX3485 芯片为用户 485 通信服务。

图 3-10-1 为 PL 端 485 收发芯片的连接示意图

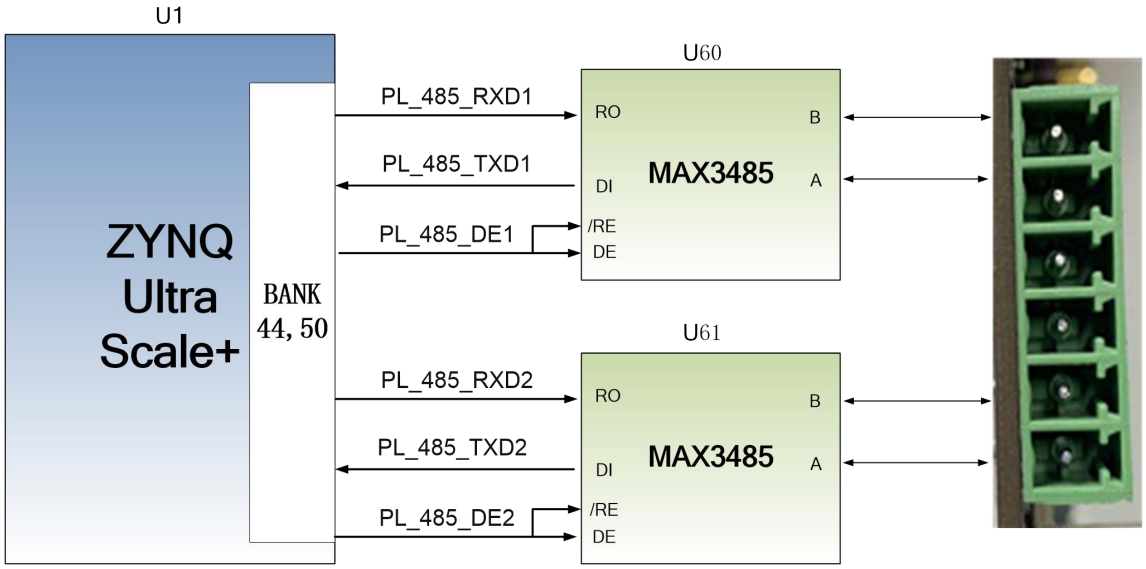


图 3-10-1　PL 端 485 通信的连接示意图

RS485 通信引脚分配如下：

信号名称	引脚名	引脚号	备注
PL_485_TXD1	B44_L10_N	AG13	第一路 485 发送端
PL_485_RXD1	B44_L4_P	AL13	第一路 485 接收端
PL_485_DE1	B44_L10_P	AG14	第一路 485 发送使能
PL_485_TXD2	B50_L1_P	J11	第二路 485 发送端
PL_485_RXD2	B50_L5_N	G11	第二路 485 接收端
PL_485_DE2	B50_L5_P	H11	第二路 485 发送使能

(十一) MIPI 接口

扩展板上包含了一个 MIPI 摄像头接口，可以用来接我们的 MIPI OV5640 像头模块（AN5641）。MIPI 接口 15PIN 的 FPC 连接器，为 2 个 LANE 的数据和 1 对时钟，连接到 BANK67 的差分 IO 管脚上；其它的控制信号连接到 BANK43 的 IO 上。

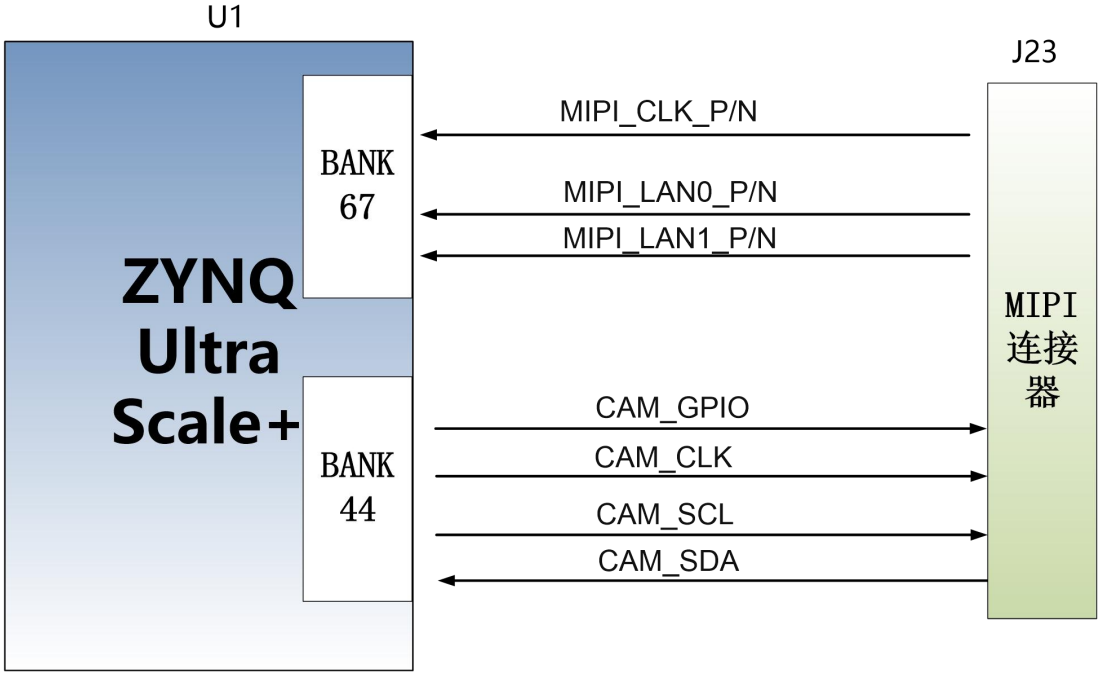


图 3-14-1 HDMI 接口设计原理图

MIPI 接口引脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
MIPI_CLK_P	B67_L1_P	W12	MIPI 输入时钟正

MIPI_CLK_N	B67_L1_N	W11	MIPI 输入时钟负
MIPI_LAN0_P	B67_L2_P	T13	MIPI 输入的数据 LANE0 正
MIPI_LAN0_N	B67_L2_N	R13	MIPI 输入的数据 LANE0 负
MIPI_LAN1_P	B67_L3_P	U10	MIPI 输入的数据 LANE1 正
MIPI_LAN1_N	B67_L3_N	T10	MIPI 输入的数据 LANE1 负
CAM_GPIO	B44_L6_P	AK13	摄像头的 GPIO 控制
CAM_CLK	B44_L6_N	AL12	摄像头的时钟输入
CAM_SCL	B44_L2_N	AN13	摄像头的 I2C 时钟
CAM_SDA	B44_L2_P	AM14	摄像头的 I2C 数据

(十二) FMC 连接器

AXU9EGB 扩展板带有一个标准的 FMC HPC 的扩展口，可以外接 XILINX 或者我们黑金的各种 FMC 模块（HDMI 输入输出模块，双目摄像头模块，高速 AD 模块等等）。FMC 扩展口包含 36 对差分 IO 信号和 8 对 GTH 收发器信号。

FMC 扩展口的 36 对差分信号连接到 ZYNQ Ultrascale+芯片的 BANK66, 67 的 IO 上，电平标准为 1.8V，差分信号支持 LVDS 数据通信。8 对 GTH 收发器信号连接到 BANK129 和 BANK130。ZYNQ Ultrascale+和 FMC 连接器的原理图如图 3-12-1 所示。

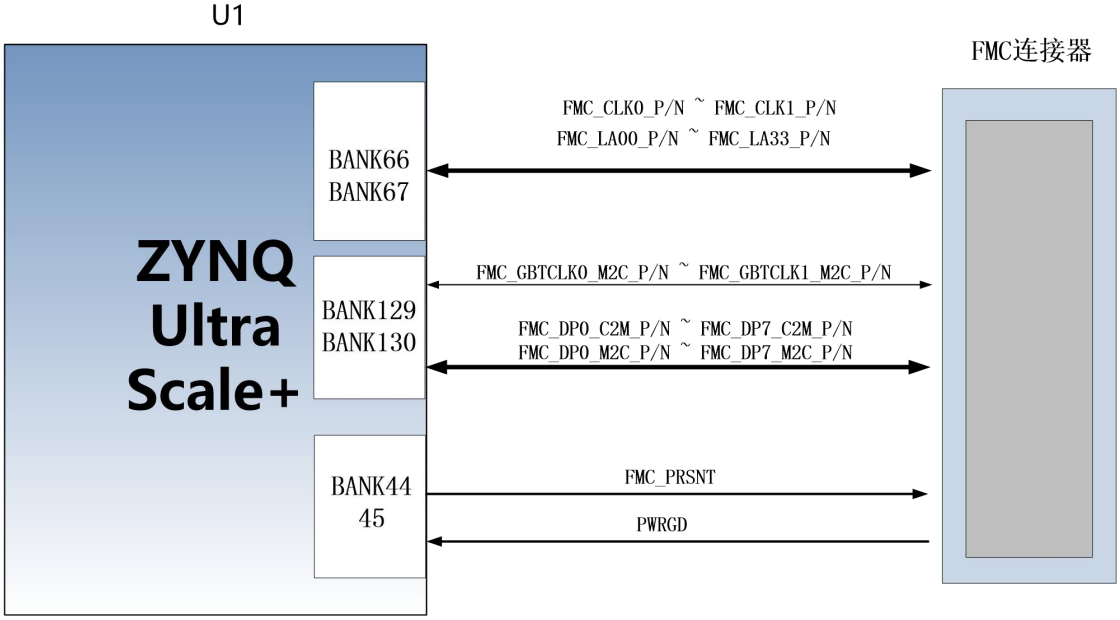


图 3-12-1 FMC 连接器连接示意图

FMC 连接器引脚分配

FMC 管脚序号	信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
D4	FMC_GBTCLK0_M2C_P	130_CLK0_P	G27	FMC收发器参考时钟0正

D5	FMC_GBTCLK0_M2C_N	130_CLK0_N	G28	FMC收发器参考时钟0负
B20	FMC_GBTCLK1_M2C_P	129_CLK0_P	L27	FMC收发器参考时钟1正
B21	FMC_GBTCLK1_M2C_N	129_CLK0_N	L28	FMC收发器参考时钟1负
C2	FMC_DP0_C2M_P	130_TX0_P	F29	FMC收发器数据发送0正
C3	FMC_DP0_C2M_N	130_TX0_N	F30	FMC收发器数据发送0负
A22	FMC_DP1_C2M_P	130_TX1_P	D29	FMC收发器数据发送1正
A23	FMC_DP1_C2M_N	130_TX1_N	D30	FMC收发器数据发送1负
A26	FMC_DP2_C2M_P	130_TX2_P	B29	FMC收发器数据发送2正
A27	FMC_DP2_C2M_N	130_TX2_N	B30	FMC收发器数据发送2负
A30	FMC_DP3_C2M_P	130_TX3_P	A31	FMC收发器数据发送3正
A31	FMC_DP3_C2M_N	130_TX3_N	A32	FMC收发器数据发送3负
A34	FMC_DP4_C2M_P	129_TX0_P	K29	FMC收发器数据发送4正
A35	FMC_DP4_C2M_N	129_TX0_N	K30	FMC收发器数据发送4负
A38	FMC_DP5_C2M_P	129_TX1_P	J31	FMC收发器数据发送5正
A39	FMC_DP5_C2M_N	129_TX1_N	J32	FMC收发器数据发送5负
B36	FMC_DP6_C2M_P	129_TX2_P	H29	FMC收发器数据发送6正
B37	FMC_DP6_C2M_N	129_TX2_N	H30	FMC收发器数据发送6负
B32	FMC_DP7_C2M_P	129_TX3_P	G31	FMC收发器数据发送7正
B33	FMC_DP7_C2M_N	129_TX3_N	G32	FMC收发器数据发送7负
C6	FMC_DP0_M2C_P	130_RX0_P	E31	FMC收发器数据接收0正
C7	FMC_DP0_M2C_N	130_RX0_N	E32	FMC收发器数据接收0负
A2	FMC_DP1_M2C_P	130_RX1_P	D33	FMC收发器数据接收1正
A3	FMC_DP1_M2C_N	130_RX1_N	D34	FMC收发器数据接收1负
A6	FMC_DP2_M2C_N	130_RX2_N	C32	FMC收发器数据接收2正
A7	FMC_DP2_M2C_P	130_RX2_P	C31	FMC收发器数据接收2负
A10	FMC_DP3_M2C_P	130_RX3_P	B33	FMC收发器数据接收3正
A11	FMC_DP3_M2C_N	130_RX3_N	B34	FMC收发器数据接收3负
A14	FMC_DP4_M2C_P	129_RX0_P	L31	FMC收发器数据接收4正
A15	FMC_DP4_M2C_N	129_RX0_N	L32	FMC收发器数据接收4负
A18	FMC_DP5_M2C_P	129_RX1_P	K33	FMC收发器数据接收5正
A19	FMC_DP5_M2C_N	129_RX1_N	K34	FMC收发器数据接收5负
B16	FMC_DP6_M2C_P	129_RX2_P	H33	FMC收发器数据接收6正
B17	FMC_DP6_M2C_N	129_RX2_N	H34	FMC收发器数据接收6负
B12	FMC_DP7_M2C_P	129_RX3_P	F33	FMC收发器数据接收7正
B13	FMC_DP7_M2C_N	129_RX3_N	F34	FMC收发器数据接收7负

H4	FMC_CLK0_P	B67_L14_P	P10	FMC参考第1路参考时钟P
H5	FMC_CLK0_N	B67_L14_N	P9	FMC参考第1路参考时钟N
G2	FMC_CLK1_P	B66_L13_P	Y4	FMC参考第2路参考时钟P
G3	FMC_CLK1_N	B66_L13_N	Y3	FMC参考第2路参考时钟N
G6	FMC_LA00_CC_P	B67_L12_P	T8	FMC参考第0路数据（时钟）P
G7	FMC_LA00_CC_N	B67_L12_N	R8	FMC参考第0路数据（时钟）N
D8	FMC_LA01_CC_P	B67_L13_P	P11	FMC参考第1路数据（时钟）P
D9	FMC_LA01_CC_N	B67_L13_N	N11	FMC参考第1路数据（时钟）N
H7	FMC_LA02_P	B67_L10_P	T7	FMC参考第2路数据P
H8	FMC_LA02_N	B67_L10_N	T6	FMC参考第2路数据N
G9	FMC_LA03_P	B67_L18_P	L12	FMC参考第3路数据P
G10	FMC_LA03_N	B67_L18_N	K12	FMC参考第3路数据N
H10	FMC_LA04_P	B67_L23_P	L13	FMC参考第4路数据P
H11	FMC_LA04_N	B67_L23_N	K13	FMC参考第4路数据N
D11	FMC_LA05_P	B67_L22_P	N13	FMC参考第5路数据P
D12	FMC_LA05_N	B67_L22_N	M13	FMC参考第5路数据N
C10	FMC_LA06_P	B67_L17_P	M11	FMC参考第6路数据P
C11	FMC_LA06_N	B67_L17_N	L11	FMC参考第6路数据N
H13	FMC_LA07_P	B67_L8_P	V6	FMC参考第7路数据P
H14	FMC_LA07_N	B67_L8_N	U6	FMC参考第7路数据N
G12	FMC_LA08_P	B67_L20_P	M15	FMC参考第8路数据P
G13	FMC_LA08_N	B67_L20_N	M14	FMC参考第8路数据N
D14	FMC_LA09_P	B67_L7_P	V8	FMC参考第9路数据P
D15	FMC_LA09_N	B67_L7_N	V7	FMC参考第9路数据N
C14	FMC_LA10_P	B67_L4_P	T12	FMC参考第10路数据P
C15	FMC_LA10_N	B67_L4_N	R12	FMC参考第10路数据N
H16	FMC_LA11_P	B67_L9_P	U9	FMC参考第11路数据P

H17	FMC_LA11_N	B67_L9_N	U8	FMC参考第11路数据N
G15	FMC_LA12_P	B67_L24_P	L15	FMC参考第12路数据P
G16	FMC_LA12_N	B67_L24_N	K15	FMC参考第12路数据N
D17	FMC_LA13_P	B67_L19_P	L16	FMC参考第13路数据P
D18	FMC_LA13_N	B67_L19_N	K16	FMC参考第13路数据N
C18	FMC_LA14_P	B67_L21_P	P12	FMC参考第14路数据P
C19	FMC_LA14_N	B67_L21_N	N12	FMC参考第14路数据N
H19	FMC_LA15_P	B67_L5_P	V12	FMC参考第15路数据P
H20	FMC_LA15_N	B67_L5_N	V11	FMC参考第15路数据N
G18	FMC_LA16_P	B67_L16_P	N9	FMC参考第16路数据P
G19	FMC_LA16_N	B67_L16_N	N8	FMC参考第16路数据N
D20	FMC_LA17_CC_P	B66_L14_P	Y5	FMC参考第17路数据（时钟）P
D21	FMC_LA17_CC_N	B66_L14_N	AA5	FMC参考第17路数据（时钟）N
C22	FMC_LA18_CC_P	B66_L11_P	Y8	FMC参考第18路数据（时钟）P
C23	FMC_LA18_CC_N	B66_L11_N	Y7	FMC参考第18路数据（时钟）N
H22	FMC_LA19_P	B66_L21_P	AA2	FMC参考第19路数据P
H23	FMC_LA19_N	B66_L21_N	AA1	FMC参考第19路数据N
G21	FMC_LA20_P	B66_L23_P	V2	FMC参考第20路数据P
G22	FMC_LA20_N	B66_L23_N	V1	FMC参考第20路数据N
H25	FMC_LA21_P	B66_L22_P	Y2	FMC参考第21路数据P
H26	FMC_LA21_N	B66_L22_N	Y1	FMC参考第21路数据N
G24	FMC_LA22_P	B66_L9_P	W7	FMC参考第22路数据P
G25	FMC_LA22_N	B66_L9_N	W6	FMC参考第22路数据N
D23	FMC_LA23_P	B66_L24_P	W2	FMC参考第23路数据P
D24	FMC_LA23_N	B66_L24_N	W1	FMC参考第23路数据N
H28	FMC_LA24_P	B66_L8_P	AB8	FMC参考第24路数据P
H29	FMC_LA24_N	B66_L8_N	AC8	FMC参考第24路数据N
G27	FMC_LA25_P	B66_L5_P	Y12	FMC参考第25路数据P
G28	FMC_LA25_N	B66_L5_N	AA12	FMC参考第25路数据N
D26	FMC_LA26_P	B66_L19_P	AC2	FMC参考第26路数据P
D27	FMC_LA26_N	B66_L19_N	AC1	FMC参考第26路数据N

C26	FMC_LA27_P	B66_L1_P	AC12	FMC参考第27路数据P
C27	FMC_LA27_N	B66_L1_N	AC11	FMC参考第27路数据N
H31	FMC_LA28_P	B66_L2_P	AB11	FMC参考第28路数据P
H32	FMC_LA28_N	B66_L2_N	AB10	FMC参考第28路数据N
G30	FMC_LA29_P	B66_L7_P	AC7	FMC参考第29路数据P
G31	FMC_LA29_N	B66_L7_N	AC6	FMC参考第29路数据N
H34	FMC_LA30_P	B66_L16_P	AB4	FMC参考第30路数据P
H35	FMC_LA30_N	B66_L16_N	AC4	FMC参考第30路数据N
G33	FMC_LA31_P	B66_L3_P	AA11	FMC参考第31路数据P
G34	FMC_LA31_N	B66_L3_N	AA10	FMC参考第31路数据N
H37	FMC_LA32_P	B66_L20_P	AB3	FMC参考第32路数据P
H38	FMC_LA32_N	B66_L20_N	AC3	FMC参考第32路数据N
G36	FMC_LA33_P	B66_L15_P	W5	FMC参考第33路数据P
G37	FMC_LA33_N	B66_L15_N	W4	FMC参考第33路数据N
H2	FMC_PRSNT	B50_L3_P	F10	FMC模块存在信号
D1	PWRGD	B50_L3_N	E10	FMC Power Good信号
C31	FMC_HDMI_SDA	B50_L2_P	H10	FMC的I2C通信数据
C30	FMC_HDMI_SCL	B50_L2_N	G10	FMC的I2C通信时钟

(十三) 40 针扩展口

AXU9EGB 扩展板预留了 1 个 2.54mm 标准间距的 40 针的扩展口 J50，用于连接黑金的各个模块或者用户自己设计的外面电路，扩展口有 40 个信号，其中，5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。扩展口的 IO 连接的 ZYNQ 芯片 PL 的 IO 上，电平标准为 3.3V。

J50 扩展口 ZYNQ 的引脚分配如下：

J50 管脚	信号名称	引脚号	J50 管脚	信号名称	引脚号
1	GND	-	2	+5V	-
3	IO_1N	G19	4	IO_1P	G18
5	IO_2N	B19	6	IO_2P	B18
7	IO_3N	C19	8	IO_3P	C18
9	IO_4N	A12	10	IO_4P	A13
11	IO_5N	B13	12	IO_5P	C13
13	IO_6N	A20	14	IO_6P	B20

15	IO_7N	A15	16	IO_7P	B15
17	IO_8N	A22	18	IO_8P	A21
19	IO_9N	B12	20	IO_9P	C12
21	IO_10N	AG15	22	IO_10P	AF15
23	IO_11N	AE14	24	IO_11P	AE15
25	IO_12N	G14	26	IO_12P	G15
27	IO_13N	AK14	28	IO_13P	AK15
29	IO_14N	AH13	30	IO_14P	AH14
31	IO_15N	AP14	32	IO_15P	AN14
33	IO_16N	G16	34	IO_16P	H16
35	IO_17N	J15	36	IO_17P	J16
37	GND	-	38	GND	-
39	+3.3V	-	40	+3.3V	-

(十四) JTAG 调试口

在 AXU9EGB 扩展板上预留了一个 JTAG 接口，用于下载 ZYNQ UltraScale+程序或者固化程序到 FLASH。为了避免带电插拔造成对 ZYNQ UltraScale+芯片的损坏，我们在 JTAG 信号上添加了保护二极管来保证信号的电压在 FPGA 接受的范围。

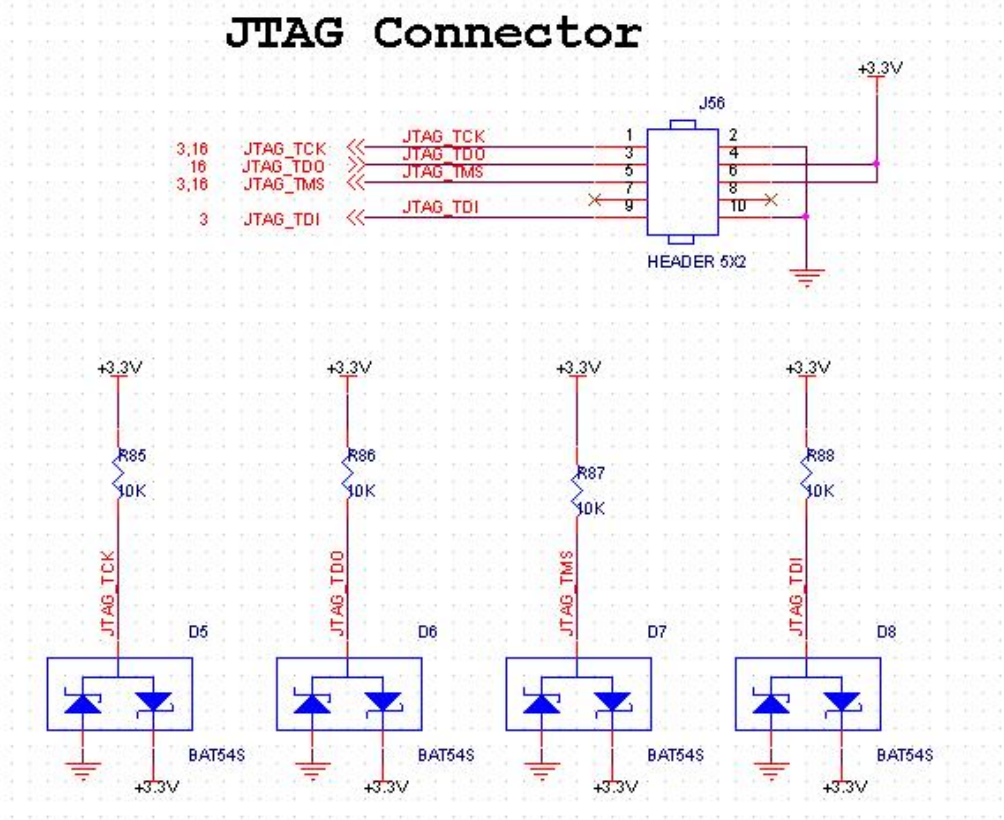


图3-14-1 原理图中JTAG接口部分

(十五) RTC 实时时钟

ZU9EG 芯片内部带有 RTC 实时时钟的功能，有年月日时分秒还有星期计时功能。外部需要接一个 32.768KHz 的无源时钟，提供精确的时钟源给内部时钟电路，这样才能让 RTC 可以准确的提供时钟信息。同时为了产品掉电以后，实时时钟还可以正常运行，一般需要另外配一个电池给时钟芯片供电。开发板上的 BT1 为 1.5V 的纽扣电池（型号 LR41，电压为 1.5V），当系统掉电池，纽扣电池还可以给 RTC 系统供电，可以提供持续不断的时间信息。图 3-15-1 为 RTC 实时时钟原理图

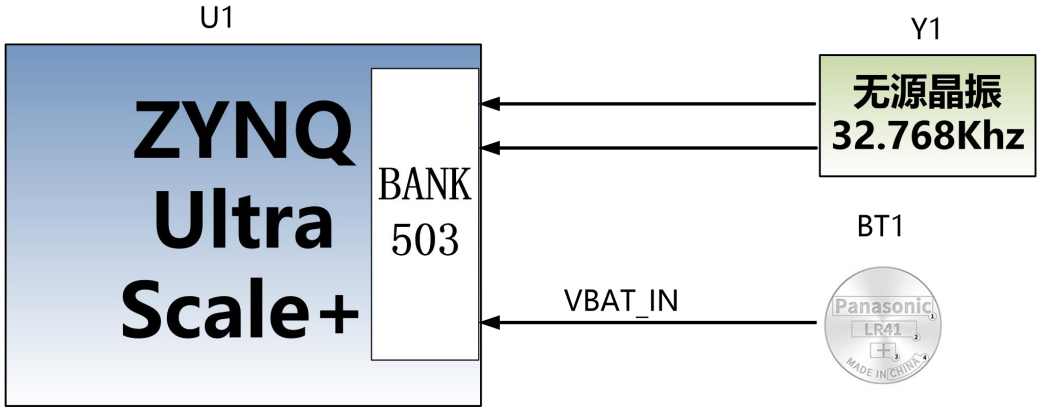


图 3-15-1 为 RTC 实时时钟原理图

(十六) EEPROM 和温度传感器

AXU9EGB开发板板载了一片EEPROM，型号为24LC04,容量为：4Kbit（2*256*8bit），通过IIC总线连接到PS端进行通信。另外板上还带有一个高精度、低功耗、数字温度传感器芯片，型号为ON Semiconductor公司的LM75，LM75芯片的温度精度为0.5度。EEPROM和温度传感器通过I2C总线挂载到ZYNQ UltraScale+的Bank501 MIO上。图3-16-1为EEPROM和温度传感器的原理图

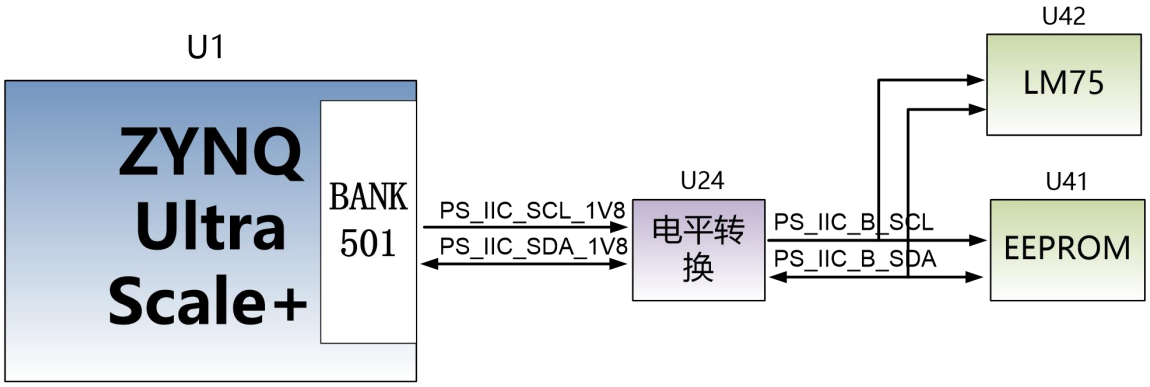


图 3-16-1 EEPROM 和传感器的原理图

EEPROM 通信引脚分配如下：

信号名称	引脚名	引脚号	备注
PS_IIC_SCL_1V8	PS_MIO34	L22	I2C 时钟信号
PS_IIC_SDA_1V8	PS_MIO35	P22	I2C 数据信号

(十七) LED 灯

AXU9EGB 扩展板上有 4 个发光二极管 LED。 包含 1 个双色指示灯（板边侧贴）， 1 个 DONE 指示灯，1 个 PS 控制指示灯，1 个 PL 控制指示灯。用户可以通过程序来控制亮和灭，用户 LED 灯硬件连接的示意图如图 3-17-1 所示：

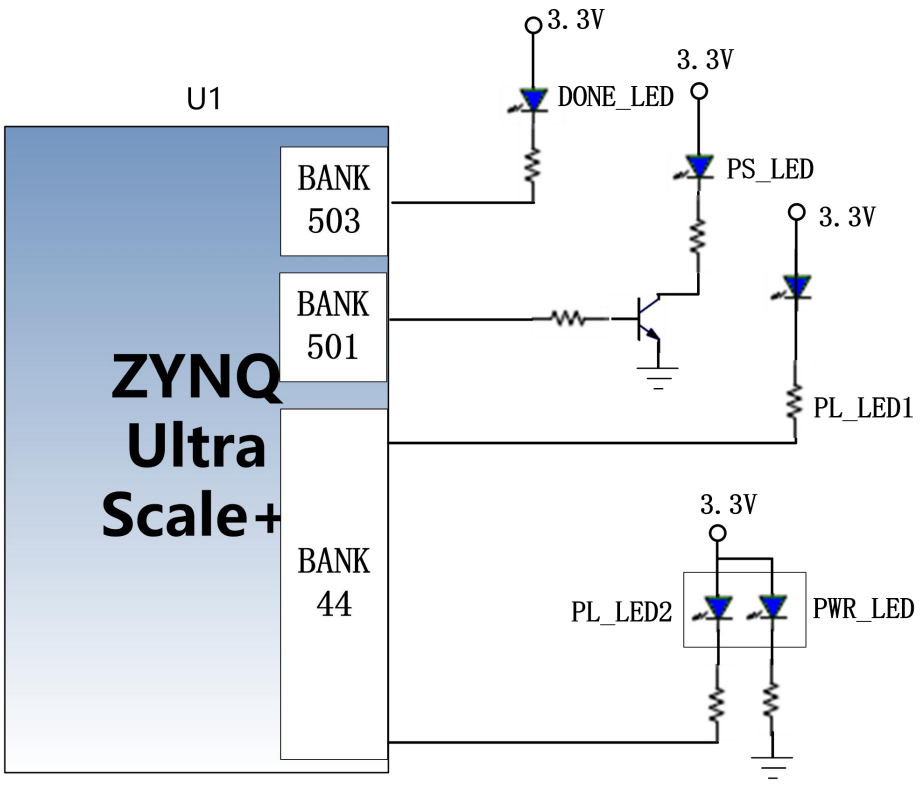


图 3-17-1 用户 LED 灯硬件连接示意图

用户 LED 灯的引脚分配

信号名称	引脚名	管脚号	备注
PS_LED	PS_MIO44	N24	用户 PS LED 灯
PL_LED1	B44_L4_N	AM13	用户 PL LED1 灯
PL_LED2	B44_L3_N	AP12	用户 PL LED2 灯

(十八) 按键

AXU9EGB 扩展板上有 1 个复位按键 RESET（板边侧贴）和 2 个用户按键。复位信号连接到核心板的复位芯片输入，用户可以使用这个复位按键来复位 ZYNQ 系统。用户按键 1 个连接到 PS 的 MIO 上，1 个是连接到 PL 的 IO 上。复位按键和用户按键都是低电平有效，用户按键的连接示意图如图 3-18-1 所示：

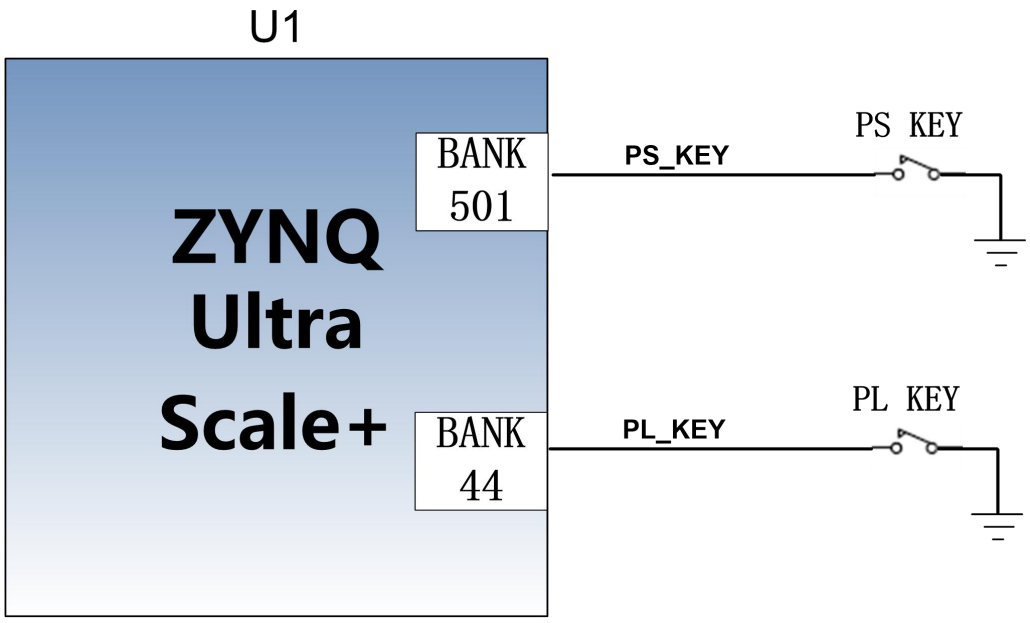


图 3-18-1 复位按键连接示意图

按键的 ZYNQ 管脚分配

信号名称	引脚名	引脚号	备注
PS_KEY	PS_MIO33	H23	PS 按键输入
PL_KEY	B44_L3_P	AN12	PL 按键输入

(十九) 拨码开关配置

开发板上有一个 4 位的拨码开关 SW1 用来配置 ZYNQ 系统的启动模式。AXU9EGB 系统开发平台支持 4 种启动模式。这 4 种启动模式分别是 JTAG 调试模式, QSPI FLASH, EMMC 和 SD2.0 卡启动模式。ZU9EG 芯片上电后会检测（PS_MODE0~3）的电平来决定那种启动模式。用户可以通过扩展板上的拨码开关 SW1 来选择不同的启动模式。SW1 启动模式配置如下表 3-19-1 所示。

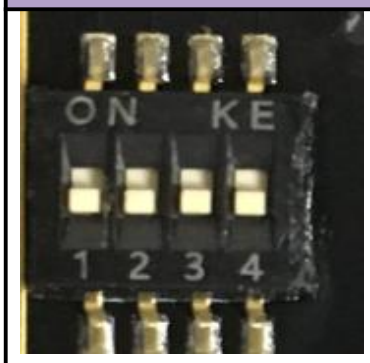
SW1	拨码位置（4，3，2，1）	MODE[3:0]	启动模式
	ON，ON，ON，ON	0000	PS JTAG
	ON，ON，OFF ,ON	0010	QSPI FLASH
	ON，OFF，ON，OFF	0101	SD卡
	ON，OFF，OFF，ON	0110	EMMC

表3-19-1 SW1启动模式配置

(二十) 电源

AXU9EGB 开发板的电源输入电压为 DC12V。底板上通过 2 路 DC/DC 电源芯片 ETA8156FT2G 和 1 路 DC/DC 电源芯片 ETA1471FT2G 转换成+5V，+3.3V，+1.8V。板上的电源设计示意图如下图 3-20-1 所示:

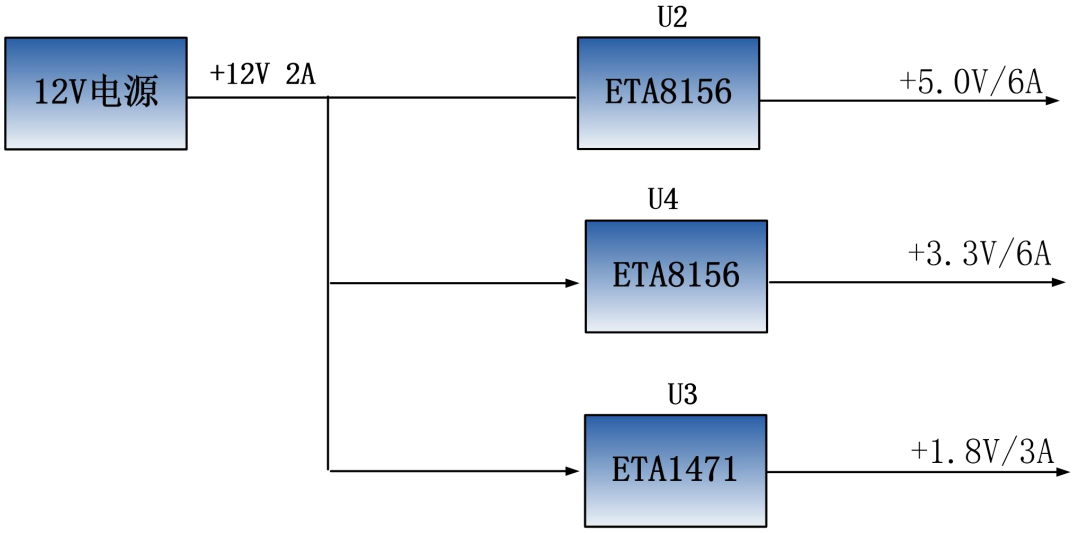


图 3-20-1 原理图中电源接口部分

各个电源分配的功能如下表所示:

电源	功能
+5.0V	USB 供电电源
+1.8V	以太网，USB2.0，核心板 BANK66,67
+3.3V	以太网，USB2.0，SD，DP，CAN，RS485

(二十一) 风扇

因为 ZU9EG 正常工作时会产生大量的热量,我们在板上为芯片增加了一个散热片和风扇，防止芯片过热。风扇的控制由 ZYNQ 芯片来控制，控制管脚连接到 BANK50 的 IO 上（PIN J10），如果 IO 电平输出为低，MOSFET 管导通，风扇工作，如果 IO 电平输出为高，风扇停止。板上的风扇设计图如下图 3-21-1 所示:

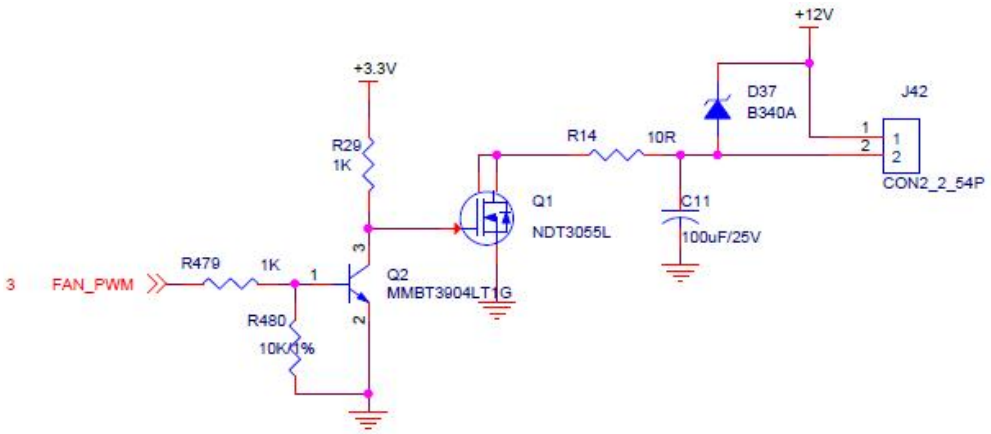


图 3-21-1 开发板原理图中风扇设计

风扇出厂前已经用螺丝固定在开发板上，风扇的电源连接到了 J42 的插座上，红色的为正极，黑色的为负极。

(二十二) 结构尺寸图

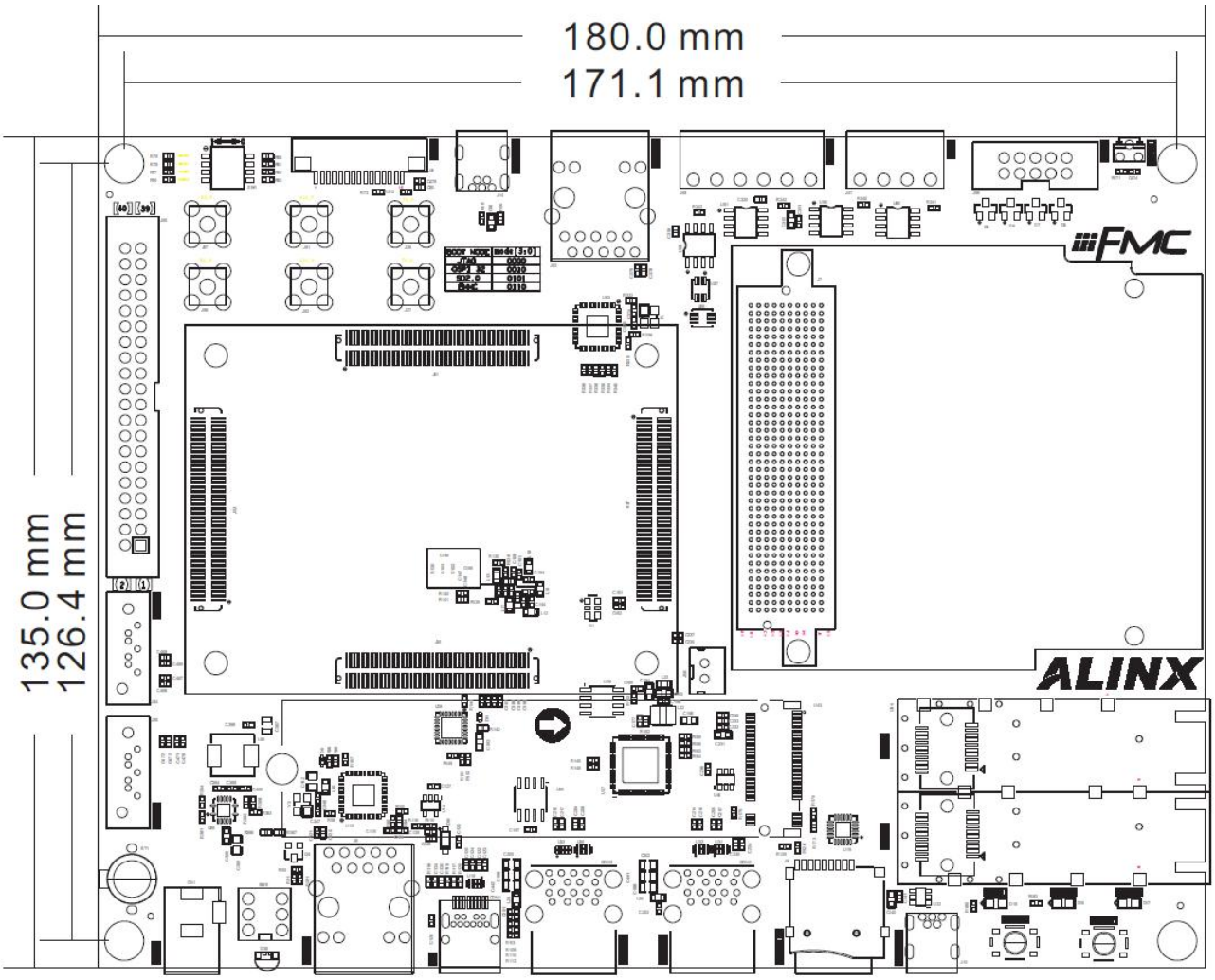


图 3-22-1 正面图（Top View）